

## DATA TRANSMISSION METHOD AND APPARATUS

**Patent number:** KR960015862 (B1)

**Publication date:** 1996-11-22

**Inventor(s):** YASUHISA SHIOBARA [JP] + (YASUHISA, SHIOBARA)

**Applicant(s):** TOSHIBA KK [JP] + (TOSHIBA KK)

**Classification:**

- international: H04L12/40; H04L12/42; H04L12/433; H04L12/44; H04L29/06; H04L12/40; H04L12/42; H04L12/427; H04L12/44; H04L29/06; (IPC1-7): H04L29/06

- european: H04L12/433

**Application number:** KR19930010604 19930611

**Priority number(s):** JP19920159725 19920618

**Abstract not available for KR 960015862 (B1)**

**Abstract of correspondent: EP 0575053 (A1)**

A network of transmission/reception apparatuses wherein each transmission/reception apparatus calculates and holds a data transmission processing time of each transmission/reception apparatus, a transfer time of data, and a reception processing time of the data on the basis of past data transmission/reception information.; A transmission request sequence for a plurality of data in a first transmission/reception apparatus is rearranged, in response to a transmission request for specific data from a first transmission/reception apparatus to a second transmission/reception apparatus, on the basis of a difference between a request timing at which the specific data is required by the second transmission/reception apparatus and a sum of: 1) a reception processing time of the second transmission/reception apparatus, held in the first transmission reception apparatus, 2) a transfer time required for data transfer from the first transmission/reception apparatus to the second transmission/reception apparatus and held in the first transmission/reception apparatus, and 3) a current timing, thereby determining a transmission processing sequence.

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup> (45) 공고일자 1996년11월22일  
H04L 29/06 (11) 공고번호 특 1996-0015862

(21) 출원번호	특 1993-0010604	(65) 공개번호	특 1994-0006369
(22) 출원일자	1993년06월11일	(43) 공개일자	1994년03월23일
(30) 우선권 주장	92-159725 1992년06월18일 일본(JP) 가부사끼가이샤 도시바 사토 후미오 일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸오 72		
(73) 특허권자	일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸오 72		
(72) 발명자	시오바라 야스히사		
(74) 대리인	문기상, 조기호		

심사관 : 임영희 (책자공보 제4732호)

(54) 데이터 송신방법 및 장치

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

데이터 송신방법 및 장치

[도면의 간단한 설명]

제1도는 본 발명의 기본적 개념을 설명기 위한 시스템 구성을 나타낸 계통도.

제2도는 본 발명의 송신스택(stack)의 기본적 개념을 설명하기 위한 도면.

제3도는 본 발명에 의한 송신처리에 있어서, 긴급도에 따라 송신큐(queue)를 재배열하는 수순을 설명하기 위한 도면.

제4도는 본 발명에 의한 송신시에 있어서의 긴급도의 판정처리를 설명하기 위한 도면.

제5도는 본 발명에 의한 수신처리에 있어서, 긴급도에 따라 수신큐를 재배열하는 수순을 설명하기 위한 도면.

제6a도와 6b도는 본 발명의 기본적 개념을 설명하기 위한 플로우차트.

제7도는 본 발명의 데이터 송신 시스템의 구성을 나타낸 계통도.

제8도는 본 발명의 제1실시예에 의한 데이터 송신 시스템을 구성하는 송신장치를 나타낸 개통도.

제9도는 제1실시예에 있어서 송신 데이터 DT1(j)을 기억시키기 위한 버퍼를 나타내는 도면.

제10도는 제1실시예의 제어블록 CB1(j)를 나타낸 도면.

제11도는 제1실시예의 데이터 프레임 DT(j)를 나타낸 도면.

제12도는 제1실시예의 송신 프레임 제어블록 TCB1(j)를 나타낸 도면.

제13도는 제1실시예에서 송신큐 S1을 나타낸 도면.

제14도는 제1실시예에서 송신큐 제어어(word)를 나타낸 도면.

제15도는 제1실시예에서 송수신 처리시간 테이블을 나타낸 도면.

제16도는 제1실시예에서 수신 프레임 제어블록 RCB1을 나타낸 도면.

제17도는 제1실시예에서 수신큐 R1을 나타낸 도면.

제18도는 제1실시예에서 수신큐 제어어를 나타낸 도면.

- 제19도는 제1실시예에서 송신요구 인터럽트(interrupt)처리를 나타낸 플로우차트.  
 제20도는 제1실시예에서 송신처리의 완료시 처리를 나타낸 플로우차트.  
 제21도는 제1실시예에서 데이터 프레임 송신개시 인터럽트 신호처리를 나타낸 플로우차트.  
 제22도는 제1실시예에서 데이터 프레임 송신완료 인터럽트 신호처리를 나타낸 플로우차트.  
 제23도는 제1실시예에서 데이터 프레임 정상 수신완료 인터럽트 신호처리를 나타낸 플로우차트.  
 제24도는 제1실시예에서 수신처리의 완료 처리를 나타낸 플로우차트.  
 제25도는 제1실시예에서 완료 확인 프레임 수신처리를 나타낸 플로우차트.  
 제26도는 본 발명의 제2실시예에서 송신 데이터 DT1(j)용 버퍼를 나타낸 도면.  
 제27도는 제2실시예에서 제어블록 CB1(j)를 나타낸 도면.  
 제28도는 제2실시예에서 데이터 프레임 D1(j)를 나타낸 도면.  
 제29도는 제2실시예에서 송신 프레임 제어블록 TC1(j)를 나타낸 도면.  
 제30도는 제2실시예에서 송신요구 R1(j)를 나타낸 도면.  
 제31도는 제2실시예에서 송신큐 S1을 나타낸 도면.  
 제32도는 제2실시예에서 식별자 A2 제어블록 CB2를 나타낸 도면.  
 제33도는 제2실시예에서 식별자 A2 정보 에리어(area) 버퍼를 나타낸 도면.  
 제34도는 제2실시예에서 송신로 액세스 요구 프레임 F1을 나타낸 도면.  
 제35도는 제2실시예에서 송신 프레임 제어블록 TC2를 나타낸 도면.  
 제36도는 제2실시예에서 송신로 액세스 요구 R2(j)를 나타낸 도면.  
 제37도는 제2실시예에서 송신큐 S2를 나타낸 도면.  
 제38도는 제2실시예에서 주장치로부터 송신요구가 수신될때 실행되는 처리를 나타내는 플로우차트.  
 제39도는 제2실시예에서 송신로 액세스 요구 프레임 F1이 수신될 때 실행되는 처리를 나타내는 플로우 차트.  
 제40도는 제2실시예에서 토큰(token) 프레임이 수신될때 실행되는 처리를 나타내는 플로우차트.

#### [발명의 상세한 설명]

본 발명은 데이터 송신방법 및 장치에 관한 것이다. 로컬(local) 프로세서의 효능이 증대함에 따라서, 상기 프로세서들을 극히 강력한 네트워크로 상호 접속시키기 위해서 로컬 네트워크(LAN) 기술이 이용돼 왔다.

사무실간에 정보를 송신하거나 또는 자동화 공장을 제어하기 위해서 LAN들이 사용돼 왔다.

데이터를 적시에 공급해야 하는 경우, 통상 상기 LAN내에 토큰패싱(passing)방식을 채용해 왔다. 이 방식에서는, 각각의 송신제어국이, 예측가능한 일정기간내에 송신권을 획득하여, 데이터 송신을 실행할 수 있다.

상기 토큰패싱 LAN으로서는, ISO 88024 또는 IEEE 802.4 규격의 버스형 LAN과, ISO 9314 또는 ANSI X3T9.5 규격의 링(ring)형 LAN이 사용돼 왔다.

상기 토큰패싱방식에서는, 소위 토큰이라는 프레임이 노드들간에서 송수신됨으로써 송신권이 각 노드에 순차로 전달된다.

즉, 복수의 노드가 동시에 송신권을 획득하지는 않는다. 상기 토큰을 수신하면, 수신한 노드는 설정된 시간내에 데이터를 송신한다. 그러므로, 각 노드는, 노드 총수와 각 노드의 설정대기 기간으로부터, 자국이 데이터를 송출할때까지 대기해야 할 최대 시간을 계산할 수 있다. 각 노드는 송신순서에 따라서 실패없이 데이터를 송신할 수 있다. 그 결과, 확정적인 송신로 액세스 제어가 가능하다.

각 노드는, 자국이 토큰을 전달해야 할 후속노드(후속국)의 번지와, 자국에 토큰을 전달한 전의 노드(선행국)의 번지를 기억하고 있다. 노드들이 서로 접속된 것처럼, 상기 토큰이 각각의 노드에 순차로 전달되어, 논리링을 구성하고 있다.

따라서, 토큰패싱방식에서는, 버스, 링, 별형 네트워크 구성 등의 각종 LAN 구성을 채용할 수 있다.

또한, 토큰패싱방식은, (송출할)데이터를, 송신우선도에 따라서 통상 4종류의 액세스 클래스(class)(6, 4, 2, 0)에 할당하는 우선처리기능을 갖고 있다. 액세스 클래스(6)는 최고 우선도를 갖고 있고, 액세스 클래스(4), (2), (0)의 우선도가 이 순서대로 감소된다. 송신을 대기하는 데이터는 4종류의 큐로 분류할 수 있다. 액세스 클래스(6)의 데이터의 송신은 토큰패싱 프로토콜에 의해 규정된 토큰 보유시간내의 임의의 시간에 실행할 수 있다. 즉, 클래스(6) 데이터는 노드가 토큰을 갖는 임의의 시간에 송신될 수 있다. 액세스 클래스(4), (2), (0)의 데이터의 송신은, 토큰이 수신되는 시기와 각 액세스 클래스의 목표 토큰 순회시간치에 도달한 시점간의 기간중에 실행될 수 있다.

상기 토큰이 한 노드내의 각 클래스에 의해 수신되면, 그 클래스에 대한 목표 토큰 순회 타이머가, 상기 토큰이 복귀될때까지 시간의 측정을 개시한다. 상기 목표 토큰 순회 타이머는, 완전한 링 회로를 만들기 위하여 상기 토큰에 대해 최대의 기간이 경과된때 종료된다. 즉, 각각의 목표 토큰 순회시간치는, 토큰이

상기 논리량을 통해 회전하는데 걸리는 시간에 의하여 결정된다.

보다 구체적으로는, 주어진 노드가 상기 토큰을 수신하면, 액세스 클래스(6)의 큐가 서비스되고, 대응하는 데이터가 송신된다.

데이터를 송신할 필요가 없거나 또는 모든 클래스(6)의 데이터가 송신되고 토큰 보지시간이 경과되지 않은 경우에는, 상기 토큰이 노드내의 더 하위의 액세스 클래스로 전달된다. 더 하위의 액세스 클래스(4), (2) 또는 (0)에서, 토큰이 상기 클래스에 대한 목표 토큰 순회시간내에 복귀되면, 대응하는 목표 토큰 회전시간이 경과될때까지, 대응하는 액세스 클래스의 데이터가 송신될 수 있다. 상기 목표 토큰 순회시간이 경과된 후 토큰이 복귀되면, 상기 토큰이 수신되더라도, 대응하는 액세스 클래스의 데이터가 송신될 수 없다.

이 경우, 상기 토큰은, 하위의 액세스 클래스 또는 후속노드에 전달된다. 더 구체적으로는 각각의 액세스 클래스가 각 노드에서 가상적 부국(副局)과 같이 동작한다.

상기 토큰이 각 노드내의 모든 액세스 클래스들간에서, 최고 우선도를 갖는 액세스 클래스로부터 최하의 우선도를 갖는 액세스 클래스로 패스된 후, 후속국으로 전달된다.

액세스 클래스들을 서비스하는 앨고리즘은, 상기 노드에 대한 토큰 보지 타이머와, 각 클래스에 의해 사용되는 일시적 토큰 보지 타이머 및 각 클래스에 대한 목표 토큰 순회 타이머를 사용하여 실행된다. 보다 구체적으로는 상기 토큰이 1노드내에서 액세스 클래스로 패스되면, 상기 클래스에 대한 목표 토큰 순회 타이머내에 잔존하는 임의의 시간이 일시적 토큰 보지 타이머에 전달된다.

다음 상기 클래스에 대한 목표 토큰 순회시간이 리세트된다.

다음, 일시적 토큰 보지 타이머내의 시간이 경과될때까지(또는 상기 노드에 대한 토큰 보지 타이머가 경과될때까지) 상기 클래스로부터의 데이터가 송신될 수 있다. 이 경우, 주어진 클래스로부터의 송신이, 상기 클래스의 후속 토큰 순회시간에 영향을 준다.

상기 일시적 토큰 보지 타이머내에 시간이 잔존되면, 상기 일시적 토큰 보지 타이머가 시간종료되거나 또는 상기 클래스에 대한 모든 데이터가 송신 완료될때까지, 상기 클래스에 대해서 데이터가 송신될 수 있다.

상기 일시적 토큰 보지 타이머가 시간 종료되거나 또는 상기 클래스에 대한 모든 데이터가 송신되면, 후속 액세스 클래스의 서비스가 개시된다. 최저 레벨의 액세스 클래스의 서비스가 종료되면, 상기 토큰이 후속 노드로 전달된다.

ISO 88024(IEEE 802.4) 규격 또는 ISO 9314(ANSI X3T9.5 FDDI) 규격에 의해 규정된 토큰패싱방식에서는, 각각의 송신제어국이 내부 타이머를 사용하여 토큰 순회시간을 측정하고, 이 측정된 시간을 설정된 기대시간과 비교하여 송신로의 통화중(busy) 상태를 판정한다. 상기 송신로가 통화중이 아님으로 판정되면, 각각의 송신제어국의 우선도에 따라서 데이터 프레임들이 송신된다.

토큰패싱 LAN상의 송신장치들에서의 송수신처리에서는, 송신 대기 데이터가, 송신요구가 수신된 순서로 송신큐로 배열되고, 동일한 순서로 순차로 송신처리된다.

다음, 상기 데이터가 액세스 클래스들에 따라서 송신큐로 재배열되고, 상기 송신로 액세스 제어에 의하여 순서대로 상기 송신경로로 송신된다.

상기 데이터가 수신 및 처리되면, 데이터는 수신된 순서대로 수신큐로 배열되고, 순서대로 처리된다.

이 경우, 상기 송수신처리는, 예를들어 주장치로부터 수신된 데이터의 포맷과 송신 시스템의 공통 포맷간의 변환/역변환을 포함한다. 상기 변환의 예를들면, 데이터 프레임을 구성하고 송신순서를 제어하는데 필요한 제어정보와 식별정보의 추가 및 삭제처리와 또한 송신순서를 감시, 경고하기 위한 감시순서의 기동과 종결처리, 송수신용 데이터 프레임의 버퍼확보와 해방처리, 송수신 단말에서 국과의 접속을 확보, 유지 및 종결하기 위한 순서기동과 종결처리 등이 있다.

송신처리와 수신처리는, 상기 LAN상의 다른 위치에서 데이터가 필요한 순서에 따라서, 송신처리와 수신처리가 우선적으로 실행되지 않음을 주목해야 한다. 그러므로, 긴급도가 낮은 다수의 송신요구가 발생되면, 높은 우선도를 갖는 데이터는 데이터가 필요한 기간내에 항상 송신될 수 없다.

또한, 상기 토큰패싱방식에서는, 송신로 액세스 제어가 모든 송신제어국들에 분산돼 있다. 각각의 송신국이 자체적으로, 송신로가 통화중인가 여부를 판정한다.

통화중이 아니면, 각각의 송신제어국에서 송신되는 다른 데이터 프레임들중에서 그들의 우선도에 따라서 데이터 프레임들이 송신된다.

다시 말해서, 각각의 송신제어국은, 주어진 송신요구의 데이터가 필요한 타이밍이, 시스템의 다른 곳에서 다른 송신요구의 데이터가 필요한 타이밍과 어느정도 대등한가를 인식하지 않고, 상기 국내의 우선도 레벨에 따라서 데이터를 송신한다.

그러므로, 전체 시스템에서 고긴급도를 갖는 데이터라도, 저우선도를 갖는 다른 데이터 이후에 송신될 수 있다.

본 발명은 상기 상황을 고려하여 된 것이며 그 목적은, 가장 급히 필요한 데이터에 대한 각 노드에서의 송수신 요구들에 대해서 송수신 처리를 우선적으로 실행하고, 전체 시스템에 걸쳐 송신될 다른 데이터에 비해서 가장 급한 데이터를 우선적으로 송신할 수 있는, 데이터 송신방법 및 장치를 제공하는데 있다.

상기 목적을 달성하기 위해서, 본 발명에서는, 송수신 요구와 관련된 데이터를, 필요할때 유용하게 처리하도록 순위가 결정된다. 다음은, 상기 순위에 따라서 송수신 요구들이 재배열된다. 이 재배열된 순위로 송수신 요구들에 대해서, 송수신 처리가 실행된다.

요구의 순위를 결정할때, 송신 요구된 데이터가 필요할때 송신되도록 송출되는 순위를 고려해야 한다.

이 순위의 결정에 있어서, 데이터가 필요한 절대시간 또는 데이터가 필요할때까지의 기간을 이용하여 상기 순위를 결정할 수 있다.

본 발명은 국제벨에 적용할 수 있을 뿐만 아니라, 시스템레벨에도 적용할 수 있다.

즉, 주어진 국에서의 송신요구의 긴급도는, 다른 국들에서의 송신요구의 긴급도와 비교될 수 있다. 다음, 상기 주어진 국의 송신요구의 긴급도가 나머지 국들에서의 송신요구의 긴급도보다 더 높을때, 주어진 국의 송신요구에 대응해서 데이터가 송신된다.

물론, 본 발명은 국제벨과 네트워크레벨 양자에서 동시에 실시할 수 있다.

본 발명의 기타 목적 및 이점들은, 하기 설명에서 개시되며, 하기의 설명으로부터, 또는 본 발명의 실시예 의하여 명백해질 것이다. 본 발명의 목적 및 이점들은 청구범위에 특정된 수단과 그들의 결합에 의하여 실현 및 얻어질 수 있다.

본 발명의 원리를 첨부 도면을 참조한 본 발명의 양호 실시예로써 설명한다.

본 발명의 실시예들의 설명전에, 기본적 개념을 제1~6도를 참조하여 설명한다.

제1도는 시스템의 개략적인 구성을 나타낸다. 송신스택 As와 수신스택 Ar이 응용 프로세서 A에 접속돼 있다. 이들 송신스택 As, 수신스택 Ar은 공통 송신로 제어부 Am을 통하여, 공통 송신로에 접속돼 있다. 이와 유사하게, 응용 프로세서 B에는, 송신스택 Bs, 수신스택 Br이 접속돼 있다. 이들 송신스택 Bs, 수신스택 Br은 공통 송신제어부 Bm을 통해서, 공통 송신로에 접속돼 있다.

제2도에 도시된 바와 같이, 응용 프로세서 A에 있어서, 시각 T0에 응용 프로세서 B에 소정의 데이터를 송신할 요구가 발생된 경우, 시각 T0와 현재 시각간의 차이로부터 여유시간 Tds 0가 결정된다. 상기 요구가 송신스택 As에 송신되어, 이미 형성돼 있는 송신큐에 가해진다. 이 경우의 현재 시각이 T1이라고 하면, T0와 T1의 차이로부터 여유시간 Tds 1이 결정된다. 송신스택 As에서는, 여유시간이 짧은 송신요구가 여유시간이 큰 송신요구보다 긴급도가 높은 것으로 판단하여, 송신큐를 여유시간이 짧은 순서로 배열하고 있다.

송신요구들이 5, 7, 8, 10, 12 및 13의 여유시간에 의한 순위로 되어 송신큐를 구성하고 있는 것으로 가정한다. 이 경우, 6의 여유시간을 갖는 송신요구가 송신스택 As로 송출되면, 상기 큐가 5, 6, 7, 8, 10의 여유시간의 순위로 재배열된다(제3도 참조).

상기한 바와 같이, 송신처리에서는, 수신 요구들이 수신되는 순위로 송신큐가 배열되지 않고, 송신해야 할 데이터의 순위로 배열됨으로써, 가장 긴급한 데이터가 먼저 수신된다.

토큰의 1순회에 필요한 시간을 2라고 하면, 토큰이 1순회후에, 여유시간들이 3, 4, 5, 6, 8 및 10으로 변한다.

상기 토큰이 상기 링을 1회 순회하고 주어진 국에 의해 재수신되면, 상기 국의 송신요구가 나머지 국들의 송신요구들과 비교된다. 제4도에 도시된 바와 같이, 노드 N1, N2, N3 및 N4의 송신큐들이 공통 메모리내에 기억돼 있다. 이 경우, 상기 노드 N1, N2, N3 및 N4의 각각의 개시 송신요구의 긴급도가, 상기 주어진 국의 개시 송신요구의 것과 비교된다. 즉, 각각의 최소 여유시간 4, 10, 6 및 7이 여유시간 3과 비교된다.

이 경우, 주어진 국의 송신요구가 최고 긴급도를 갖고 있으므로, 상기 주어진 국의 데이터 프레임이 송신된다.

상기 주어진 국의 송신요구의 긴급도가 더 낮으면, 즉, 상기 여유시간이 더 길면, 수신된 토큰이 후속노드로 패스되고 이 토큰이 패스된 노드내에서 국의 송신요구의 긴급도가 높은가 여부가 판정된다. 상기 송신요구가 최고 긴급도를 갖는 경우, 대응하는 국의 데이터 프레임이 송신된다.

상기 주어진 국은, 그의 송신요구의 긴급도가 나머지 국들의 각 송신요구의 것보다 더 높아질 때까지 송신하지 않는다. 이 경우, 상기 토큰이 회전되면, 상기 주어진 국은, 그의 송신요구의 긴급도가 최고로 될때까지 대기한다. 상기 주어진 국의 송신요구의 긴급도가, 나머지 국들의 각각의 송신요구의 것보다 더 높아지면, 주어진 국의 송신요구에 대응하는 데이터 프레임이 송신된다.

상기한 바와 같이, 송신처리에서는 주어진 국의 송신요구의 긴급도가 전체 시스템에서 높은가 여부가 판정된다.

전체 시스템에서 긴급도가 높은 것으로 판정되면, 주어진 국의 데이터가 송신된다.

수신처리에서는, 송신처리와 동일한 동작이 실행된다.

더 구체적으로는, 송신처리와 동일 동작이 실행된다. 더 구체적으로는, 제5도에 도시된 수신큐가 배열된 것으로 가정한다. 각 숫자는 긴급도에 대응하는 여유시간을 표시한다. 이 경우, 여유시간 2를 갖는 신 데이터가 수신되면, 상기 수신큐가 재배열된다. 여유시간 2를 갖는 데이터가 최고 긴급도를 갖고 있으므로, 상기 수신큐의 개시 위치에서 배열되어 먼저 서비스된다. 다음, 상기 데이터가 응용 프로세서 B로 우선적으로 송신된다.

송신처리와 유사한 방법으로, 수신처리시의 데이터는, 수신되는 순위로 처리되지 않고, 긴급도의 순위로 처리된다.

상기 설명에서, 여유시간들이 데이터 송신순위에 대응함으로써, 가장 긴급한 데이터가 가장 먼저 수신된다. 그러나, 본 발명은 이에 한정되지 않는다. 예를들어, 상기 데이터 송신순위는, 상기 응용 프로세서 B에 데이터가 송신될 타이밍(요구 타이밍)에 더 간단하게 대응할 수 있다.

본 발명의 개념을 제6a도와 6b도의 플로우차트를 참조하여 하기에 설명한다.

상기 응용 프로세서 A가, 응용 프로세서 B에 대해서 여유시간(데드라인 : deadline) TdsQ를 갖는 송신요구를 발생하면, 상기 송신스택 As가, 상기 여유시간 TdsQ에 의하여 송신큐를 재배열하고, 최고 긴급도를 갖

는 송신요구의 송신처리를 먼저 실행한다. 이 재배열 처리는, 현재까지의 실적 시간치들로부터의 산출된 예측시간들에 의하여 실행된다.

상기 송신스택 As는, 새로운 여유시간 Tds1를 세트하기 위한 여유시간 Tds0로부터 송신처리를 실행기 위한 시간을 감산한다.

이 경우, 상기 시스템의 전체 송신요구들은 긴급도 순위로 여유시간 Tds1에 의하여 재배열된다. 이 재배열 처리는, 네트워크 공통 정보로서 시시각각 변하는 각 국들의 송신요구들을 고려하여 실행된다. 이 재배열 처리에 의하여, 전체 시스템의 관점에서, 현재 시점에서 최고 긴급도를 갖는 송신요구에 송신권이 할당된다. 이 경우, 여유시간 Tds2는, 상기 재배열 처리를 실행기 위한 시간과 토큰을 수신하는데 필요한 시간을 여유시간 Tds1으로부터 감산함으로써 구해진 시간이다. 상기 여유시간 Tds2는 시시각각 변한다.

다음, 고긴급도를 갖는 데이터를 포함한 프레임의 송신에, 타임드-토큰 패스(Timed-Token Pass)의 송신로 액세스 제어(MAC)에 의해 결정된 시간내에 개시된다. 프레임들은 지정된 노드들에 각각 송신된다.

이와 동시에, 주어진 국을 포함한 전체 시스템, 즉, 전체 네트워크의 공통 정보를 갱신하기 위한 프레임이 각 국에 송신된다.

공통 송신로 제어부 Bm에 송신된 데이터는 수신규에 규되고, 그의 긴급도는, 수신스택 Br에서의 수신처리에 필요한 시간을 고려하여 여유시간 Tds3에 의하여 결정된다.

상기 수신규는 상기 결정된 긴급도에 의하여 재배열되고, 최고 긴급도를 갖는 데이터가 먼저 수신처리된다.

여유시간 Tds3은, 여유시간 Tds2로부터 송신시간을 감산함으로써 얻어진 시간이다.

우선적으로 수신처리되는 데이터는, 응용 프로세스 B에 공급되어, 수신/표시된다.

상기한 바와 같이, 본 발명에 의하면, 우선적으로 송수신 처리되는 데이터는, 그들의 여유시간에 의하여 결정되고, 전체 시스템에서 고긴급도를 갖는 것으로 결정된 데이터가 우선적으로 송신된다. 그러므로, 상기 시스템이 효율적으로 사용될 수 있고, 고긴급도를 갖는 데이터를 우선적으로 송신할 수 있다.

본 발명의 제1실시예에 의한 데이터 송신방법 및 장치를 첨부 도면을 참조하여 설명한다. 제1실시예에서, 각 송신장치에서 복수의 데이터의 송수신 처리의 긴급도는, 데이터가 필요한 요구시기로부터 얻어진 여유 시간과, 데이터 송수신과 데이터 전달을 실행하는데 필요한 예측시간 및 현재 시기에 의하여 결정된다. 고 긴급도를 갖는 데이터가 우선적으로 송수신 처리된다.

본 발명이 적용되는 송신 시스템으로서, 링 네트워크 구성이 채용된다. 이러한 구성에서 제7도에 도시된 바와 같이, 공통 송신로를 통하여 송신장치들이 서로 접속돼 있다. 그러나, 제7도에 도시된 구성 이외의 다른 네트워크 구성들, 즉, 버스형과 별형 구성을 채용할 수도 있다. 제7도를 참조해 보면, 참조 기호 STN은 송신장치를 나타낸다.

제8도에 도시된 바와 같이, 각각의 송신장치는, 공통 송신로에 접속된 송수신회로(XCVR)(10)를 구비하고 있다.

토큰패싱 송신제어장치(CKT1)(12)가 토큰패싱방식 송신로 액세스 제어를 실행한다.

송수신 버퍼 RAM 메모리(BRAM)(14)가 송수신 프레임 데이터를 기억하고 있다.

상기 송수신 제어 RAM 공통 메모리(CM1)(16)가 송수신 제어와 처리와 송신로 액세스 제어에 필요한 제어 데이터를 기억하고 있다.

호스트(host) 요구 인터페이스회로(HIF)(18)는, 그에 접속된 호스트장치로부터의 송신요구들을 인터페이스한다. 각 송신장치에서 타이머들(CLK와 CLK1)(20, 22)이 공통 시간측정 동작을 실행한다. 제어 마이크로프로세서(MPU)(24)가, 송수신 처리와, 상기 토큰패싱 송신제어장치(12)의 송수신 제어를 실행한다. ROM 프로그램 메모리(MROM)(26)는, 제어 마이크로 프로세서(24)의 처리 프로그램을 기억하고 있다. MPU RAM 메모리(MRAM)(28)가 처리에 필요한 데이터를 기억하고 있다. 토큰 순회 타이머 잔류치 레지스터(RTRT1)(30)가, 상기 토큰 수신시에 목표 토큰 순회 타이머 잔류치를 보지하고 독출시킨다.

참조기호 S1G0는 토큰 프레임 정상 수신완료 인터럽트신호 ; S1G1은 송신규 갱신 금지신호 ; S1G2는, 데이터 프레임 정상 수신완료 인터럽트신호 ; S1G3는 송신요구 인터럽트신호 ; S1G4는 카운트 클럭 인터럽트신호 ; S1G5는 데이터 프레임 송신완료 인터럽트신호 ; S1G6는 데이터 프레임 송신개시 인터럽트신호를 각각 나타낸다.

상기 제어 마이크로 프로세서(24)가 송수신 우선처리를 행하기 위해서는, 상기 송수신 제어 RAM 공통 메모리(16), 송수신 버퍼 RAM 메모리(14) 또는 MPU RAM 메모리(28)내에 형성된, 제어용 데이터 테이블 또는 구성은 하기와 같이 설계된다.

각 송신장치에 대한 데이터 송신요구는, 제9도에 도시된, 송신될 데이터 DT1(j)과, 제어블록 CB1(j)에 의해 구성돼 있다.

상기 데이터 DT1(j)과 제어블록 CB1(j)은, 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다. 상기 제어블록 CB1(j)은, 상기 데이터 DAT1(j)에 대응하는 송신제어에 필요한 정보, 즉, 목적지 번지와 제어명령을 포함하고 있다.

상기 제어블록 CB1(j)에서는, 본 발명의 제어방식을 실행하는데 필요한 정보는, 필요에 따라서, 제어영역 CNT1(j)과 경과시간 정보영역 TIM1(j)에 추가된다. 또한, 1이상의 연쇄된 송신 버퍼들(14)에 송신 데이터 DT1(j)이 기억된다.

제어블록 CB1(j)은, 다른 국의 응용 프로세서에 상기 데이터 DT1(j)가 필요한 요구 시각치 T0(j)와, 송신

처리에 의해 결정된 우선도에 의해 가입되는 여유시간치  $Tds(j)$ 를 포함하고 있다.

제11도는 데이터 프레임  $D1(j)$ 의 구성을 나타낸다.

상기 데이터 프레임  $D1(j)$ 는, 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다. 상기 제어블록  $CB1(j)$ 과 송신 데이터  $D1(j)$ 에 의해 구성된 데이터 프레임  $D1(j)$ 의 구성은 특별히 한정되지는 않으나, 그 정보부가 요구 시각  $T0(j)$ 를 포함하고 있다.

제12도는, 상기 데이터 프레임  $D1(j)$ 내에 포함된, 프레임 제어코드, 목적 번지와 송신원 번지등의 헤더(header) 정보와, 상기 정보부가 보존돼 있는 위치를 나타내는 송신 프레임 제어블록  $TCB1(j)$ 을 나타낸다.

복수의 데이터 프레임  $D1(j)$ 가 송신되는 경우 복수의 데이터 프레임  $D1(j)$ 에 대응하는 송신 프레임 제어블록  $TCB1(j)$ 가, 송신 프레임 제어블록  $TCB1(j)$ 에 포함된 송신 체인(chain) 제어 에리어를 지정함으로써, 서로 체인된다. 다음, 상기 송신 프레임 제어블록  $TCB1(j)$  체인이, 상기 토큰패싱 송신제어장치(12)의 송신 큐에 링크된다. 다음, 복수의 데이터 프레임들  $D1(j)$ 가 송신로에 송출된다. 상기 송신 프레임 제어블록  $TCB1(j)$ 이, 송수신 제어 RAM 공통 메모리(16)내에 기억된다.

상기 데이터 프레임들  $D1(j)$ 에 대응하는 상기 송신 프레임 제어블록  $TCB1(j)$ 은 제어블록들  $CB1(j)$ 내에 포함돼 있고, 긴급도를 표시하는 더 짧은 여유시간  $Tds(j)$ 의 순위로 배열되어, 송신큐  $S1$ 을 형성하고 있다.

제13도는 상기 송신큐  $S1$ 의 구성을 나타낸다. 이 송신큐는 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다.

제14도는, 토큰패싱 송신제어장치(12)에 의해서 사용되는 송신큐 제어어의 구성을 나타낸다. 상기 송신큐 제어어는, 송수신 제어 RAM 공통 메모리(16)내에 기억돼 있다.

제15도는 각 송신장치의 송신 처리시간  $Tx$ , 전달시간  $Txf$ , 수신 처리시간  $Tr$ 의 최대치, 최소치를 송신장치 번지를 인덱스로 하여 리스트(list)한 송수신 처리시간 테이블의 구성을 나타낸다. 이 테이블은 MPU RAM 메모리(28)내에 기억돼 있다.

제16도는, 토큰패싱 송신제어회로(12)에 의해 수신되고 송신로를 통해서 송수신 버퍼 RAM 메모리(14)내에 세트된 데이터 프레임의 위치를 나타내는 수신 프레임 제어블록  $RCB1$ 의 구성을 나타낸다. 상기 수신 프레임 제어블록  $RCB1$ 은, 상기 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다.

복수의 데이터 프레임  $D1$ 이 수신되는 경우 각각의 데이터 프레임  $D1$ 에 대응하는 수신 제어블록들  $RCB1$ 내에 포함된 수신 체인 에리어들이 지정됨으로써 수신 제어블록들  $RCB1$ 을 체크한다. 다음 상기 수신 제어블록  $RCB1$  체인이, 상기 토큰패싱 송신제어장치(12)의 수신큐에 링크된다. 상기 수신큐에 링크된 수신 제어블록들  $RCB1$ 의 체인에 있어서 데이터 프레임 정상 수신완료 인터럽트신호  $SI62$ 를 수락한 마이크로 프로세서(24)에 의한 수신 인터럽트 수락 처리에 의해서, 여유시간에 의한 우선도의 판정이 행하여져, 수신 처리대기 수신큐  $R1$ 에 링크된다.

제17도는 수신큐  $R1$ 의 구성을 나타낸다. 제18도는 수신큐 제어어의 구성을 나타낸다. 상기 수신큐  $R1$ 은 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다.

상기 수신큐 제어어는, 상기 송수신 제어 RAM 공통 메모리(16)내에 기억돼 있다.

상기 데이터 테이블들과 프레임 구성들은, 완료 확인 프레임들에도 마찬가지로 적용된다.

송수신시 우선도 처리는, 상기 데이터 테이블들을 사용함으로써 실행된다.

본 발명의 데이터 송신장치의 동작을 플로우차트를 참조하여 설명한다.

이 우선도 처리는 제어 마이크로 프로세서(24)에 의해 실행된다.

제19도는 송신요구 인터럽트 처리의 플로우차트를 나타낸다. 송신장치에 접속된 주장치가, 데이터 프레임을 송신할 송신요구( $j$ )를 발생하면, 제9도의 송신 데이터  $D1(j)$ 과 제10도에 도시된 제어블록  $CB1(j)$ 이, 호스트 요구 인터페이스회로(18)를 통하여 송수신 버퍼 RAM 메모리(14)내에 가입된다.

또한, 송신요구 인터럽트신호  $SI63$ 가 제어 마이크로 프로세서(24)에 공급된다.

단계 11에서는, 송신요구 인터럽트신호  $SI63$ 를 수신한 제어 마이크로 프로세서(24)가, 타이머(22)로부터 현재 시기를 독출하고, 그것을 제어블록  $CB1(j)$ 의 경과시간 정보영역내에, 요구 수락시기  $T1(j)$ 으로서 기억시킨다.

단계 12에서, 상기 제어 마이크로 프로세서(24)가, 상기 제어블록  $CB1(j)$ 가 송신 데이터  $D1(j)$ 으로부터, 송신 프레임 제어블록  $TCB1(j)$ 을 형성한다.

단계 13에서는, 제어 마이크로 프로세서(24)가 상기 제어블록  $CB1(j)$ 내에 가입된 목적지 송신장치를 독출한다. 상기 제어 마이크로 프로세서(24)는, 독출번지값을 인덱스로써 사용하여, 제15도에 도시된 송수신 처리시간 테이블로부터 목적지 송신장치의 수신 처리시간의 최소치  $Tr(k)_{min}$ 과, 상기 목적지 송신장치에 송신하기 위해 필요한 송신시간의 최대치  $Txf(k)_{max}$ 를 독출하고, 독출된 데이터의 합계  $Ti(k)$ 를 구한다.

단계 14에서는, 제어 마이크로 프로세서(24)가 상기 제어블록  $CB1(j)$ 내에 가입된 요구시기  $T0(j)$ 를 독출하고, 이 독출된 데이터와 합계  $Ti(k)$ 간의 차이를 구하고, 이것을 제어블록  $CB1(j)$ 의 여유시간 영역내에 기억시킨다.

단계 15에서는, 상기 제어 마이크로 프로세서(24)가, 제13도에 도시된 송신큐  $S1$ 에 임의의 송신요구가 이미 링크됐는가 여부를 점검한다. 단계 15에서의 판정이  $N0$ 이면 이것은 처리되는 신 송신요구가 송신큐  $S1$  중의 송신요구일 뿐임을 의미한다.

그러므로, 플로우가 단계 24로 진행하여, 송신 프레임 제어블록  $CB1(j)$ 를, 송신큐  $S1$ 내의 유일한 송신 프레임 제어블록이 되도록 링크함으로써, 송신처리 프로그램을 개시한다.

단계 15에서의 판정이 YES이면, 다른 송신 프레임 제어블록들이 송신큐 S1내에 이미 존재하며, 새로운 송신 프레임 제어블록을 올바른 순위로 삽입할 수 있다.

그러므로, 플로우가 단계 16으로 진행한다. 단계 16에서는, 상기 제어 마이크로 프로세서(24)가, 송신큐 S1에 체인으로서 링크된 송신 프레임 제어블록 TCB1을 순차로 점검한다.

더 구체적으로는, 제어 마이크로 프로세서(24)가 각 송신 프레임 제어블록 TCB1(j)의 요구시기  $T0(j)$ 를 독출한다. 또한, 상기 제어 마이크로 프로세서(24)가, 목적지 송신장치를 독출하고, 번지값을 사용하여, 송수신 처리시간 테이블로부터 수신 처리시간의 최소치  $Trmin$ 과 최대치  $Txfmax$ 를 독출한다. 상기 제어 마이크로 프로세서(24)가, 독출된 데이터의 합계  $Ti$ 를 구하고, 요구시기  $T0(j)$ 와 상기 합계  $Ti$ 간의 차이를 산출하여, 여유시간  $Tds(i)$ 를 구한다.

단계 17에서는, 제어 마이크로 프로세서(24)가 송수신(j)에 연관된 이미 얻어진 여유시간  $Tds(j)$ 와 링크된 송신 요구(i)의 여유시간  $Tds(i)$ 를 비교하여, 상기 여유시간  $Tds(j)$ 가 더 짧은가(긴급도가 더 높은가) 여부를 검사한다.

단계 17에서의 판정이 YES이면, 처리가 단계 18로 진행한다. 단계 18에서는, 제어 마이크로 프로세서(24)가 상기 송신큐 S1으로부터 송신 프레임 제어블록 TCB1(i)을 분리하고, 이 송신 프레임 제어블록 TCB1(i)전의 위치에 상기 송신 프레임 제어블록 TCB1(j)을 체인한다.

단계 22에서는, 제어 마이크로 프로세서(24)가 송신큐 S1의 개시위치에 송신 프레임 제어블록 TCB1(j)이 위치해 있는가 여부를 검사한다.

이 단계 22의 판정이 YES이면, 처리가 단계 23으로 진행하여, 송신 프레임 제어블록 TCB1에 대응하는 송신 처리를 인터럽트하고, 송신 프레임 제어블록 TCB1(j)에 대응하는 송신처리로 스위치한다.

단계 22의 판정이 NO이면, 상기 제어 마이크로 프로세서(24)가 현재 실행되는 송신처리를 계속한다.

단계 17에서, 상기 여유시간  $Tds(j)$ 가 더 긴 것으로 판정되면, 처리가 단계 20으로 진행하고, 송신큐 S1의 단부위치에 송신 프레임 제어블록 TCB1(i)이 배치돼 있는가 여부를 검사한다. 단계 20에서의 판정이 YES이면, 처리가 단계 21로 진행하여, 송신 프레임 제어블록 TCB1(j)을 송신 프레임 제어블록 TCB1(i)뒤에 체인하고, 송신큐 S1에 링크된 송신 프레임 제어블록의 총수를 1을 증가시킨다.

단계 20에서의 판정이 NO이면, 처리가 단계 19로 진행한다. 단계 19에서는, 제어 마이크로 프로세서(24)가, 송신 프레임 제어블록 TCB1(i)의 체인 제어정보를 사용하여 후속으로 체인된 송신 프레임 제어블록 TCB1(i+1)과 연관된 여유시간을 점검한다.

다음 처리가 단계 16으로 복귀한다.

단계 16에서는, 상기 제어 마이크로 프로세서(24)가 상기 플로우차트에 의하여 후속처리를 실행한다.

상기 송신요구(j)에 연관된 여유시간  $Tds(j)$ 가 링크된 송신요구(i)의 여유시간  $Tds(i)$ 와 동등한 것으로 판정되면, 상기 제어 마이크로 프로세서(24)가 송신큐 S1을 재배열함으로써, 그의 경과시간 정보영역내의 더 이른 요구 수락시기  $T1$ 을 보지하는 제어블록 CB1을 갖는 송신 프레임 제어블록에 대하여 송신처리가 우선적으로 실행된다.

송신처리의 완료시의 처리를 제20도를 참조하여 설명한다. 이 처리는 또한 제어 마이크로 프로세서(24)에 의하여 실행된다. 이 처리에서는, 송신처리가 종료되면, 즉, 송신 프레임 제어블록 TCB(i)과 연관된 데이터 프레임 제어블록이 송신되면 송신큐 S1으로부터, 송신 프레임 제어블록 TCB1(j)가 제거된다. 즉, 송신큐 S1의 개시 송신 프레임 제어블록을 표시하는 TCB1 포인터값이, 후속으로 체인된 송신 프레임 제어블록 TCB1(k)을 표시하는 TCB1 포인터값으로 갱신된다.

다음, TCB1(k)가 송출될 후속의 가장 긴급한 데이터로 잔류되는가를 확인할 필요가 있다. 이를 위하여, TCB1(k)에 대한 현재 여유시간이 송신큐 S1중의 다른 프레임 제어블록들에 대한 여유시간들과 비교된다.

단계 31에서는, 제어 마이크로 프로세서(24)가, 현재 여유시간  $Tds(n)$ 를 구하기 위하여, 송신제어장치(12)의 송신큐에 링크된 송신 프레임 제어블록 TCB1(n)으로부터, 요구시기  $T0(n)$ , 대응하는 전달시간  $Txf(n)$  및 수신시간  $Tr(n)$ 을 독출한다.

단계 32에서는, 제어 마이크로 프로세서(24)가 여유시간  $Tds(n)$ 와, 송신 프레임 제어블록 TCB1(j)의 여유시간  $Tds(j)$ 를 비교하여, 여유시간  $Tds(j)$ 이 더 짧은가(긴급도가 더 높은가) 여부를 검사한다. 단계 32의 판정이 YES이면, 처리가 단계 33으로 진행하여, 송신큐로부터 송신 프레임 제어블록 TCB1(n)을 분리하고, 송신 프레임 제어블록 TCB1(j)을, 송신 프레임 제어블록 TCB1(n)전에 체인한다. 송신큐 갱신 억제신호 SIG1이 발생되고, 송신 프레임 제어블록 TCB1(n) 직전에 체인된 송신 프레임 제어블록 TCB1에 대한 송신원료표시(TSTATUS) 데이터가 송신중이면, 송신 프레임 제어블록 TCB1(j)가 송신 프레임 제어블록 TCB1(n)에 체인되어, 송신큐로 재배열함을 주목해야 한다.

다음 처리가 단계 37로 진행한다.

단계 37에서는, 상기 제어 마이크로 프로세서(24)가, 송신큐 S1으로부터 송신 프레임 제어블록 TCB1(j)을 제거하고, 송신큐의 개시위치를 표시하는 TCB1 포인터값을 갱신한다.

단계 S38에서는, 제어 마이크로 프로세서(24)가 처리를, 송신처리의 최초 단계로 복귀시킨다.

단계 32에서, 여유시간  $Tds(j)$ 가 더 긴 것으로 판정되면, 처리가 단계 34로 진행한다. 단계 34에서는, 제어 마이크로 프로세서(24)가, 송신 프레임 제어블록 TCB1(n)의 제어정보를 사용하여, 후속으로 체인된 송신 프레임 제어블록 TCB1(n+1)을 독출한다.

다음 처리가 단계 35로 진행하고, 이 단계에서는 상기 제어 마이크로 프로세서(24)가, 송신 프레임 제어블록 TCB1(n+1)이 송신 프레임의 말단위치에 위치해 있는가 여부를 검사한다.



단계 35의 판정이 YES이면, 처리가 단계 36으로 진행하여, 송신 프레임 제어블록 TCB1(j)을 송신 프레임 제어블록 TCB1(n+1)에 체인시킨다. 송신큐 갱신 역제신호 SI61이 발생되고, 송신 프레임 제어블록 TCB1(n)에 대한 송신완료표시(TSTATUS) 데이터가 송신중이면, 상기 송신 프레임 제어블록 TCB1(j)의 송신이, 후속도근 수신시기까지 지연된다.

단계 36이 지연되면, 처리가 단계 37로 진행한다.

단계 37에서는, 상기 제어 마이크로 프로세서(24)가 상기 처리를 실행한다.

단계 35에서의 판정이 NO이면, 처리가 단계 31로 복귀하고, 제어 마이크로 프로세서(24)가, 상기 플로우차트에 의한 처리를 행한다.

데이터 프레임 송신개시 인터럽트신호 처리를 제21도를 참조하여 하기에 설명한다. 이 플로우차트는, 토큰 패싱 송신제어장치(12)가 토큰을 수신하고, 상기 송신큐에 링크된 송신 프레임 제어블록 TCB1(j)에 대응하는 데이터 프레임을 송신로에 송신을 개시한다. 이 처리는 또한 상기 제어 마이크로 프로세서(24)에 의해 실행된다.

단계 41에서는, 토큰패싱 송신제어장치(12)로부터 데이터 프레임 송신개시 인터럽트신호 SI66의 수신시에, 상기 제어 마이크로 프로세서(24)가 제14도에 도시된 송신큐어(word)로부터 TCB1 스토리지(storage) 포인터값을 독출하고, 상기 송신 프레임 제어블록 TCB1(j)의 송신완료표시(TSTATUS) 에리어 데이터가 송신중인 가 여부를 검사한다.

단계 42에서는, 상기 제어 마이크로 프로세서(24)가 상기 타이머(22)로부터 데이터 프레임 송신 개시시기 T1(j)를 독출하고, 그것을 송신 프레임 제어블록 TCB1(j)에 대응하는 제어블록 CB1(j)의 경과시간 정보 에리어내에 기억시킨다.

단계 43에서는, 제어 마이크로 프로세서(24)가 송신 프레임 제어블록 TCB1(j)의 요구 수락시기 T1(j)를 독출하고, 독출된 데이터와 데이터 프레임 송신 개시시기 T1(j)간의 차이를 산출하여 송신 처리시간 Tx(j)를 구하여, 송수신 처리시간 테이블을 갱신한다. 이 경우, 현재값은, 이전에 레지스터된 최대 또는 최소치와 비교한다. 현재값이 상기 최대치 보다 더 크면, 상기 최대치가 현재값에 의해 갱신된다. 현재값이 최소치 보다 더 작으면, 최소치가 현재값에 의해 갱신된다.

데이터 프레임 송신완료 인터럽트신호 처리를 제22도를 참조하여 설명한다.

이 처리는 제어 마이크로 프로세서(24)에 의해서 실행될 수도 있다.

단계 51에서는, 상기 데이터 프레임 송신완료 인터럽트신호 SI65의 수신시에, 상기 제어 마이크로 프로세서(24)가 송신큐로부터 TCB1 스토리지 포인터값을 독출하고, 송신 프레임 제어블록 TCB1(j)의 송신종료표시(TSTATUS) 에리어 데이터의 송신이 종료된다.

단계 52에서는, 제어 마이크로 프로세서(24)가 타이머(22)로부터 데이터 프레임 송신완료시기 T2(j)를 독출하고, 그것을, 송신 프레임 제어블록 TCB1(j)에 대응하는 제어블록 CB1(j)의 경과시간 정보영역내에 기억시킨다.

단계 53에서는, 상기 제어 마이크로 프로세서(24)가, 개시 송신 프레임 제어블록을 나타내는 송신큐 제어어의 TCB1 포인터값을, 후속으로 체인된 송신 프레임 제어블록을 나타내는 TCB1 포인터값을 갱신한다.

송신처리를 상기에 설명했다. 수신처리를 하기에 설명한다.

데이터 프레임 정상 수신완료 인터럽트 신호처리를 제23도를 참조하여 설명한다.

이 처리는 또한, 상기 제어 마이크로 프로세서(24)에 의해서도 실행된다.

단계 60에서는, 상기 데이터 프레임 정상 수신완료 인터럽트신호 SI62의 수신시에, 제어 마이크로 프로세서(24)가 수신큐로부터 수신 제어블록 RCB1(j)을 표시하는 포인터값을 독출하고, 상기 송수신 버퍼 RAM 메모리(14)내에 기억된 수신 프레임이 데이터 프레임인가 여부를 검사한다. 데이터 프레임이 아니면, 처리가 단계 72로 진행한다.

이 경우, 상기 수신 프레임이 완료확인 프레임 또는 데이터 프레임 이외의 수신 프레임이므로, 상기 제어 마이크로 프로세서(24)가 특정의 수신처리 프로그램을 개시한다.

상기 수신 프레임이 데이터 프레임이면, 처리가, 상기 제어 마이크로 프로세서(24)가 타이머(22)로부터 수신 수락시기 T3(j)를 독출한다.

단계 62에서는, 상기 제어 마이크로 프로세서(24)가, 수신 제어블록 RCB1(j)의 경과시간 정보 에리어내에 상기 수신 수락시기 T3(j)를 기억시킨다. 또한, 상기 제어 마이크로 프로세서(24)가 수신 데이터 프레임의 요구시기 T0(j)를 독출하고, 요구시기 T0(j)와 수신 수락시기 T3(j)간의 차이를 구하여, 그것을 여유시간 Tdr(j)로서 수신 제어블록 RCB1(j)의 여유시간 에리어내에 기억시킨다.

단계 63에서는, 상기 제어 마이크로 프로세서(24)가 수신 제어블록 RCB1(j)이 수신큐 R1에 링크돼 있는가 여부를 검사한다.

단계 63에서의 판정이 NO이면, 처리가 단계 64로 진행한다. 단계 64에서는, 상기 제어 마이크로 프로세서(24)가 상기 수신 제어블록 RCB1(j)를 수신큐 R1에 링크하고 수신처리 프로그램의 실행을 개시한다.

단계 63에서의 판정이 YES이면, 처리가 단계 65로 진행한다. 단계 65에서는 제어 마이크로 프로세서(24)가 상기 수신큐 R1에 링크된 수신 제어블록 RCB1(j)의 여유시간 Tdr(n)을 수신 제어블록 RCB1(j)의 여유시간 Tdr(j)과 비교하여, 상기 여유시간 Tdr(j)이 더 짧은가(긴급도가 더 높은가) 여부를 검사한다.

단계 65에서의 판정이 YES이면, 처리가 단계 66으로 진행한다. 단계 66에서는, 상기 제어 마이크로 프로세서(24)가, 수신큐 R1으로부터 수신 제어블록 RCB1(n)을 분리하고, 수신 제어블록 RCB1(j)을 상기 수신 제

어블록 RCB1(n) 이전에 체인한다.

단계 70에서는, 상기 제어 마이크로 프로세서(24)가, 상기 수신 제어블록 RCB1(j)이 수신큐 R1의 개시위치에 배치된다.

단계 70에서의 판정이 N0이면, 제어 마이크로 프로세서(24)가 현재 실행되는 수신처리를 실행한다.

단계 70의 판정이 YES이면, 처리가 단계 71로 진행한다. 단계 71에서는, 제어 마이크로 프로세서(24)가, 현재 처리되는 수신 제어블록 RCB1에 대응하는 수신처리를 인터럽트하고, 수신 제어블록 RCB1(j)에 대응하는 수신처리로 스위치된다.

단계 65에서의 판정이 N0이면, 처리가 단계 68로 진행한다. 단계 68에서는, 제어 마이크로 프로세서(24)가, 상기 수신 제어블록 RCB1(n)이 수신큐 R1의 단부 위치에 배치되었는가를 여부를 점검한다. 단계 68에서의 판정이 YES이면, 처리가 단계 69로 진행한다. 단계 69에서는, 상기 제어 마이크로 프로세서(24)가 수신 제어블록 RCB1(j)을 수신 제어블록 RCB1(n) 다음에 체인하고, 수신큐 R1에 링크된 수신 제어블록의 총수를 1씩 증가시킨다.

단계 68에서의 판정이 N0이면, 처리가 단계 67로 진행한다. 단계 67에서는, 제어 마이크로 프로세서(24)가 상기 수신 제어블록 RCB1(n)의 체인 정보를 사용하여, 후속으로 체인된 수신 제어블록 RCB1(n+1)의 여유시간을 검사한다.

처리가 단계 65로 복귀하고, 제어 마이크로 프로세서(24)가 상기 플로우차트에 의하여 후속처리를 실행한다.

단계 63에서, 상기 여유시간 Tdr(j)이 여유시간 Tdr(i)과 동등한 것으로 판정되면, 상기 수신큐 R1이 재배열됨으로써, 경과시간 정보에러내의 보지된 더 빠른 수신수락시기 T3를 갖는 수신 제어블록 RCB1에 대하여 수신처리가 우선적으로 실행된다.

수신완료처리를 제24도를 참조하여 하기에 설명한다. 이 처리는 또한, 제어 마이크로 프로세서(24)에 의해서 실행된다.

단계 81에서는, 제어 마이크로 프로세서(24)가, 타이머(22)로부터 수신완료시기 T4(j)를 독출하여, 그것을 수신 제어블록 RCB1(j)의 경과시간 정보에러내에 기억시킨다.

다음 처리가 단계 82로 진행한다. 단계 82에서는, 상기 제어 마이크로 프로세서(24)가, 경과시간 정보에러로부터 수신수락시기 T3(j)를 독출하고, 수신수락시기 T3(j)와 수신완료시기 T4(j)간의 차이를 구함으로써 수신처리시간 Tr(j)을 산출한다.

단계 83에서는, 제어 마이크로 프로세서(24)가 상기 송수신 버퍼 RAM 메모리(14)내에 기억된 데이터 프레임으로부터, 목적지 번지, 송신요구를 식별키 위한 식별자 등을 독출하고, 이를 독출된 데이터를 사용하여 완료확인 프레임에 대한 제어블록 CB1, 송신데이터를 형성한다. 완료확인 프레임은, 정상완료 정보, 처리 중 오차가 야기되어, 이 처리는 정상적으로 종료될 수 없음을 나타내는 완료상태정보와 데이터 프레임의 수신수락시기 T3(j)와, 정상처리를 완료하는데 걸리는 수신처리시간 Tr(j)을 포함한 시간정보를 포함하고 있다.

상기 제어 마이크로 프로세서(24)가, 완료확인 프레임을 송신국에 송출한다. 수신처리를 실행한 수신데이터는, 호스트 요구 인터페이스 회로(18)를 통해서 송신장치에 접속된 호스트 장치에 송신된다.

단계 84에서는, 제어 마이크로 프로세서(24)가 송신요구를 실행하기 시작한다.

다음 처리가 단계 85로 진행하며, 이 단계에서는, 제어 마이크로 프로세서(24)가 수신큐 R1으로부터 수신 제어블록 RCB1(j)을 제거한다. 상기 제어 마이크로 프로세서(24)가, 상기 수신큐 R1의 개시수신 제어블록을 표시하는 RCB1 포인터 값을 후속으로 체인된 수신 제어블록을 표시하는 RCB1 포인터 값으로 갱신한다.

단계 86에서는, 제어 마이크로 프로세서(24)가 처리를 수신처리의 최초단계로 복귀시킨다.

상기 소오스 송신장치에서는, 복수의 송신요구가 발생하는 한편, 단계 81과 단계 86간의 처리가 실행되며, 즉, 상기 장치가, 완전히 송신된 데이터 프레임에 대응하는 목적지 송신장치로부터의 완료확인 프레임을 대기한다. 이 경우, 제어 마이크로 프로세서(24)가 송신요구들에 응답하여 데이터 프레임들을 형성 및 송신한다. 또한, 제어 마이크로 프로세서(24)가, 다른 송신장치로부터의 수신요구에 응답하여 상기 수신처리를 실행한다.

종료확인 프레임의 수신처리를 제25도를 참조하여 하기에 설명한다. 이 처리는 또한, 제어 마이크로 프로세서(24)에 의해서 실행된다.

단계 91에서는, 상기 송수신회로(10)가 완료확인 프레임을 수신하면 제어 마이크로 프로세서(24)가 수신 프레임내에 포함된 송신식별정보에 의해 송신 프레임 제어블록 TCB1(j)를 찾아낸다.

단계 92에서는, 상기 제어 마이크로 프로세서(24)가 송신 프레임 제어블록 TCB1(j)의 제어블록 CB1(j)의 경과시간 정보에러로부터, 데이터 프레임 송신시에 얻어진, 송신완료시기 T2(j)를 독출하고, 또한 완료확인 프레임내에 포함된 수신수락시기 T3(j)를 독출한다. 제어 마이크로 프로세서(24)가, 상기 독출된 데이터간의 차이를 구하여, 공통 송신로를 통해서 데이터 프레임을 전달하는데 필요한 전달시간 Txf(j)를 산출하고, 그것을 제15도에 도시된 송수신처리 테이블내에 보존시킨다.

이 경우, 상기 제어 마이크로 프로세서(24)가, 전달시간의 현재값을 이전에 레지스터된 최대와 최소치와 비교한다. 현재값이 최대치보다 더 크면, 이 최대치는 현재값으로 대체된다. 현재값이 최소치보다 더 작으면, 이 최소치는 현재값으로 대체된다.

단계 93에서 완료확인 프레임이 정상완료상태를 나타내면, 제어 마이크로 프로세서(24)가 완료확인 프레임내에 포함된 수신처리시간 Tr(j)을 독출하고, 그것을 인덱스로서 목적지 송신장치 번지에 의하여 송수신

처리시간 테이블내에 레지스터한다. 이 경우, 제어 마이크로 프로세서(24)가 또한, 수신처리시간의 현재값과 이전에 레지스터된 최대치와 최소치를 비교한다. 현재값이 최대치보다 더 크면, 상기 최대치가 현재값으로 대체된다. 현재값이 최소치보다 더 작으면, 상기 최소치와 현재값으로 대체된다.

본 발명에 의한 데이터 송신방법 및 장치를 더욱 설명한다.

제19도에 도시된 송신요구 인터럽트 처리에서, 그의 여유시간  $Tds(j)$ 가 부(負)의 값인 송신요구에 대해서, 상기 제어 마이크로 프로세서(24)가, 요구시기  $T0(j)$ 에서 데이터 송신이 실행될 수 없음을 판정할 수 있고, 송신요구를 취소하고, 상기 판정결과와 송신요구 소오스를 통지한다.

소오스 송신장치가 데이터 프레임의 송신하는 경우, 송신완료시기  $T2(j)$ 가, 요구시기  $T0(j)$ 와 함께 데이터 프레임내에 포함될 수 있다. 상기 데이터 프레임이 수신 및 확인되면, 송신완료시기  $T2(j)$ 와 수신확인시기  $T3(j)$ 간의 차이를 검출함으로써, 전달시간  $Txf(j)$ 를 구할 수 있다. 또한, 목적지 송신장치에 의해 수신처리가 실행되어, 수신처리시간  $Tr(j)$ 를 산출한다.

상기 전달시간  $Txf(j)$ 와 수신처리시간  $Tr(j)$ 이 상기 소오스 송신장치에 송신되어, 이 송신장치의 송수신 처리테이블을 갱신할 수 있다.

송신처리시간  $Tx$ , 수신처리시간  $Tr$ , 소정의 송신장치에 데이터를 전달하는데 걸리는 전달시간  $Txf$ 는, 인덱스로서 송신장치 번지에 의하여 모든 송신장치내에 보지될 수 있다.

주어진 송신장치가 송신요구를 수신하면, 이 장치가, 인덱스로서 소오스 송신장치 번지에 의하여 상기 시간치들을 독출한다. 목적지 송신장치가, 목적국의 송신처리시간과 소오스 송신장치의 수신처리시간 및 데이터를 소오스 송신장치에 데이터를 전달하는데 걸리는 전달시간의 합계를 구한다. 이러한 방법으로, 주어진 송신장치로부터의 송신요구가 목적지 송신장치에 의해 처리되어, 예측 총처리시간  $Ta$ 를 산출한다. 예측 총처리시간  $Ta$ 와 요구시기  $T0$ 간의 차이를 여유시간  $Tds$ 로서 얻을 수 있고, 이 여유시간  $Tds$ 에 의하여 긴급도를 결정함으로써 우선처리를 실행할 수 있다.

목적지 송신장치는, 수신확인시기  $T3$ 를 산출할 수 있고, 수신시간  $Tr$ , 전달처리시간  $Tx$ , 데이터를 소오스 송신장치에 전달하는데 필요한 전달시간  $Txf$  및 목적지 송신장치의 수신처리시간  $Tr$ 의 합계를 산출할 수 있고, 상기 시간 데이터들은 목적국에 보지돼 있다. 다음, 상기 장치가, 데이터 프레임에서 독출될 요구시기  $T0$ 간의 차이를 산출하여 여유시간  $Tds$ 를 구한다. 이 여유시간  $Tds$ 에 의하여 긴급도를 결정하여 우선도에 의하여 수신처리를 실행한다.

본 발명의 제2실시예에 의한 데이터송신방법 및 장치를 하기에 설명한다. 본 실시예에서, 각 송신장치의 데이터송신의 우선도 순서 데이터가 다른 송신장치들에 공급되고, 각 데이터 송신의 긴급도가 전체 시스템에서 결정된다. 따라서, 전체 시스템에서 결정된 긴급도에 의하여 송신장치들중 하나에 송신권이 할당된다.

제2실시예를 제1실시예가 적용된 제7도에 도시된 것과 동일한 시스템에 적용한다. 상기 시스템을 구성하는 각 송신장치의 구성은, 제8도에 도시된 것과 동일하나, 그 동작은 서로 다르다.

상기 시스템은, ISO 88024(또는 IEEE 802.4) 규격 또는 ISO 9314(ANSI X3T9.5) 규격에 의해 규정된 송신로 액세스 제어방식에 상응하는 MAC 기능을 갖고 있다. 즉, 송신권의 할당을 표시하는 토큰 프레임을 수신하는 각 송신장치는 모드 M1과 M2를 갖고 있다.

상기 모드 M1에서는, 토큰 프레임의 수신시에 각각의 장치가 필요한 수의 데이터 프레임을 항상 송신할 수 있다.

모드 M2에서는, 토큰 프레임의 1순회에 걸리는 시간, 토큰 프레임 순회시간을 측정하도록 설계된 각 송신장치의 타이머에 의해 측정된다. 그 측정치가 설정된 시간치보다 더 작으면, 이 시간치들간의 차이(목표 토큰 순회 타이머 잔류치  $TRT1$ )에 상응하는 데이터 프레임 수가 송신될 수 있다. 상기 토큰 순회 시간치가 설정치보다 더 크면 데이터 프레임의 송신이 연기된다.

제어 마이크로 프로세서(24)가 우선 송신권 할당처리를 실행할 수 있도록 하기 위하여, 송수신 제어 RAM 공통 메모리(16), 송수신 버퍼 RAM 메모리(14) 또는 MPU RAM 메모리(28)내에 형성된 제어데이터 테이블이 하기 구성을 갖고 있다.

각각의 송신장치에 대한 데이터 송신요구는 제26도에 도시된, 송신될 데이터  $DT1(j)$ 과 제27도에 도시된, 제어블록  $CB1(j)$ 으로 구성돼 있다. 상기 데이터  $DT1(j)$ 과 제어블록  $CB1(j)$ 은 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다. 상기 제어블록  $CB1(j)$ 은, 데이터  $DT1(j)$ 에 대응하는 송신제어에 필요한 정보, 즉 목적 번지와 제어명령을 포함하고 있다. 제어블록  $CB1(j)$ 에서는 본 발명의 제어방식의 실행에 필요한 정보가 필요에 따라서, 제어에러 CNT1(j)과 경과시간 정보에러 TIM1(j)에 추가된다. 송신데이터  $DT1(j)$ 은 1이상의 체인된 송신버퍼(14)에 기억된다.

제어블록  $CB1(j)$ 은, 송신장치내의 송신데이터의 긴급도를 표시하는 식별자 A1을 포함하고 있다. 이 식별자 A1은, 데이터  $DT1(j)$ 이 목적 응용 프로세스에 의해 수신되는 요구시기  $T0(j)$ 를 포함하고 있다. 이 경우, 상기 데이터의 긴급도를 나타내는 식별자 A1으로서, 예를들면, 소오스 송신장치내에서 데이터의 송신이 완료되는 시기, 또는 상기 데이터가 목적 송신장치에 의해 수신되는 시기를 사용할 수 있다.

상기 제어블록  $CB1(j)$ 과 송신데이터  $DT1(j)$ 으로 구성된 데이터 프레임  $D1(j)$ 은, 임의의 특정 구성으로 한정되지 않는다. 그러나, 본 발명의 실행을 위하여 데이터 프레임  $D1(j)$ 의 정보부가, 식별자 A1과 통신처리의 경과시간을 표시하는 경과시간 정보를 포함하고 있다.

제28도는 데이터 프레임  $D1(j)$ 의 구성을 나타낸다.

상기 데이터 프레임  $D1(j)$ 은 송신버퍼(14)에 기억된다.

제29도는, 후래이 제어코드, 데이터 프레임  $D1(j)$ 내에 포함되는, 목적지 및 소오스 번지 등의 헤더정보 및

정보부의 위치를 표시하는 정보를 포함한 송신 프레임 제어블록 TCB1(j)의 구성을 나타낸다.

상기 송신 프레임 제어블록 TCB1(j)에 포함된 데이터는, 데이터 프레임 D1(j)을 형성해야 한다. 복수의 데이터 프레임들 D1(j)이 송신되는 경우, 각 송신프레임 제어블록 TCB1(j)의 송신체인 제어에러는, 복수의 데이터 프레임 D1(j)에 대응하는 각각의 송신 프레임 제어블록 TCB1(j)을 체인하도록 설계된다. 상기 송신 프레임 제어블록 TCB1(j)은, 송수신 제어 RAM 공통 메모리(16)내에 기억돼 있다.

상기 데이터 프레임들 D1(j)에 대응하는 송신요구들 R1(j)은, 상기 제어블록들 CB1(j)내에 포함돼 있고, 데이터 프레임들의 긴급도를 표시하는 식별자들 A1의 값 T0(j)에 의하여 순위적으로 송신큐 S1으로 형성된다. 제31도는 송신큐 S1의 구성을 나타낸다. 이 구성에서, 상기 송신큐 S1은, 송신장치의 송신요구들이 그들이 긴급도에 의하여 서로 체인돼 있다. 송신요구 R1(j)과 수신큐 S1은, 송수신 버퍼 RAM 메모리 (14)내에 기억돼 있다.

상기 송신큐 S1내에 포함된 식별자 A2는, 송신장치의 긴급한 송신요구의 존재를 나타낸다. 제32도와 제33도는 식별자 A2의 구성을 나타낸다. 제32도는 식별자 A2 제어블록 CB2를 나타내고, 제33도는 식별자 A2 정보에러 버퍼를 나타낸다. 식별자 A2는, 송신큐 S1에서 최고 긴급도를 갖는 송신요구 R1(j)에 대응하는 식별자 A1을 포함하고 있다.

식별자 A2를 포함한 송신로 액세스 요구 프레임 F1은, 임의의 특정구성에 한정되지 않는다. 제34도는 송신로 액세스 요구 프레임 F1의 구성을 나타낸다. 상기 송신로 액세스 요구 프레임 F1은, 제28도에 도시된 데이터 프레임 D1(j), 토큰 프레임 및 기타 송신제어 프레임 등으로부터 식별될 수 있는 한, 임의 종류의 구성을 갖을 수 있으며, 그의 정보부는 식별자 A2의 정보를 포함하고 있다. 즉 제28도에 도시된 데이터 프레임 D1(j)에서는, 송신로 액세스 요구 프레임 F1에 대응하는 '프레임 제어' 코드를 설정할 수 있고, 상기 식별자 A2가 '정보부'에 포함될 수 있다.

제34도에 도시된 구성에서는, 상기 '프레임 제어' 코드에 의해서 식별이 실행된다. 송신로 액세스 요구 프레임 F1은, 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다.

제35도는 송신 제어블록 TCB2의 구성을 나타낸다. 송신 제어블록 TCB2는, 송신로 액세스 요구 프레임 F1을 작성할때 필요한, 프레임 제어코스, 목적변지 및 소오스변지 등의 헤더정보와 정보부의 위치를 지시한다. 상기 송신 제어블록 TCB2는, 송수신 제어 RAM 공통 메모리(16)내에 기억돼 있다.

제36도는 각각의 송신장치에 의해서 송수신되는 송신로 액세스 요구 프레임내에 포함된 송신로 A2의 구성을 나타낸다. 송신로 액세스 요구 R2(j)는, 송신로 액세스 요구 프레임 F1내의 식별자들 A2에 포함된 복수의 송신로 액세스 요구 각각과 대응한다. 송신로 액세스 요구들 R2(j)는 송수신 버퍼 RAM 메모리(14)내에 기억돼 있다.

제37도는, 송신로 액세스 요구들 R2(j)가 시스템에서 결정된 그들의 긴급도에 의하여 순위가 결정된다. 송신큐 S2에서는, 각각의 송신장치로부터의 송신로 액세스 요구들 R2(j)가 서로 체인돼 있다. 송신큐 S2는 송수신 버퍼 RAM 메모리내에 기억돼 있다.

상기 데이터 테이블을 사용하는 제어 마이크로 프로세서(24)에 의해 실행되는 송신요구 제어처리의 플로우를 하기에 설명한다.

상기 송신장치에 접속된 호스트 장치가, 데이터 프레임을 송신하기 위한 송신요구를 발생하면, 제26도의 송신데이터와 제27도의 제어블록 CB1이, 송신요구 인터페이스 회로(18)를 통해서 송수신 버퍼 RAM 메모리(14)내에 가입된다. 또한 송신 인터럽트신호 S1G3가 제어 마이크로 프로세서(24)에 송신된다. 다음은, 상기 제어 마이크로 프로세서(24)가, 호스트 장치로부터의 송신요구가 수신될때 실행되는 플로우를 개시한다.

단계 110에서는, 상기 제어 마이크로 프로세서(24)가 상기 제어블록 CB1(j)과 송신데이터 DT1(j)으로부터 송신 프레임 제어블록 TCB1(j)과 송신요구 R1(j)을 작성한다.

단계 120에서는, 상기 제어 마이크로 프로세서(24)가, 상기 송신요구 R1(j)에 의해 지정된 제어블록 CB1(j)내에 포함된 식별자 A1(T0(j))과, 송신큐 S1에 이미 링크돼 있는 송신요구 R1(k)의 식별자 A1(T0(k))과 비교한다. 다음은, 제어 마이크로 프로세서(24)가 상기 송신큐 S1을 고긴급도 순위로 재배열한다. 즉, 제어 마이크로 프로세서(24)가, 송신요구 R1(j)의 PRE와 NEXT 에리어를 사용하여, 상기 송신요구 R1(j)을 송신큐 S1에 체인한다.

단계 130에서는, 송신 프레임 제어블록 TCB1(j)이, 송신 제어블록 체인 제어에리어를 사용하여, 송신큐 S1에서의 순위에 의하여, 이미 링크된 송신요구 R1(k)의 송신 제어블록 TCB1(k)에 체인된다.

단계 140에서는, 상기 제어 마이크로 프로세서(24)가, 제33도에 도시된 식별자 A2 정보에러 버퍼를 작성한다.

상기 제어 마이크로 프로세서(24)가, 송신데이터 버퍼 제어 에리어, 송신데이터 개시, 중간, 종료 표시에리어를 사용하여, 송신큐 S1내의 순위에 의하여, 상기 식별자 A2 정보에러 버퍼를 이미 링크된 송신요구 R1(k)의 식별자 정보에리어에 체인한다.

상기 송신로 액세스 요구 프레임 F1이 수신되며, 제어 마이크로 프로세서(24)가, 제39도에 도시된 송신로 액세스 요구 프레임 F1이 수신될때 실행되는 처리의 플로우를 개시한다.

단계 210에서는, 상기 제어 마이크로 프로세서(24)가, 송신로 액세스 요구 프레임 F1내에 포함된 식별자 A2의 정보와 소오스국을 표시하는 소오스국 번지에 의하여, 전체 시스템의 차원에서 결정된 긴급도를 표시하는 송신요구, 즉, 제36도에 도시된 송신로 액세스 요구 R2(j)를 작성한다.

단계 220에서는, 제어 마이크로 프로세서(24)가 식별자 A1의 값=TN을 사용하여 송신로 액세스 요구 R2(j)를 송신큐 S2에 이미 링크된 송신로 액세스 요구 R2(k)와 비교한다. 다음, 제어 마이크로 프로세서(24)가, PRE와 NEXT 에리어를 사용하여 고긴급도 순위로 송신큐 S2를 재배열한다.

송신요구 R2(k)가 이미 링크돼 있는 송신큐 S2에 대해서는, 제어 마이크로 프로세서(24)가 송신큐 S2의 개시위치로부터 비교판정처리를 개시한다. 소오스 송신장치 번지 SA와 일치하는 정보가 송신큐 S2에 이미 링크된 송신요구 R2(k)에서 검출되면, 제어 마이크로 프로세서(24)가 송신큐 S2로부터 송신요구 R2(k)를 제거한다. 이 처리는, 송신로 액세스 요구 프레임 F1내에 포함된 최초 식별자 A2와의 비교판정처리에 한정된다.

또한, 상기 제어 마이크로 프로세서(24)가, 상기 식별자 A2를 송신요구 R2(k)의 긴급도를 나타내는 값 Tk와 비교하고, 송신큐 S2의 링크 구조를 재배열함으로써, 신규로 작성된 송신요구 R2(j)가 그의 긴급도에 의하여 순위가 정해진다.

단계 230에서는, 제어 마이크로 프로세서(24)가, 송신로 액세스 요구 프레임 F1이 수신될때마다 작성된, 송신큐 S2를, 호스트 장치로부터의 송신요구들에 의해 작성된 송신큐 S1과 비교한다. 상기 국의 송신요구의 긴급도가 더 높으면, 상기 제어 마이크로 프로세서(24)가, 고긴급도를 갖는 송신요구에 대응하는 데이터 프레임 D1을, 송신제어장치(12)의 MAC 기능의 모드 M2에 대응하는 송신큐 TQ2에 링크시킨다. 즉, 상기 제어 마이크로 프로세서(24)가, 송신 제어블록 TCB1 체인의 개시 스토리지 번지를 송신큐 TQ2내에 설정한다.

토근 프레임이 수신되면, 상기 제어 마이크로 프로세서(24)가, 제40도에 도시된 토근 프레임 수신처리를 위한 플로우차트에 의해서 처리를 실행한다.

단계 310에서, 상기 송신큐 TQ2에 링크된 데이터 프레임 D1에 대해서, 상기 제어 마이크로 프로세서(24)가, 토근 수신시 송신권을 획득할때 토근 순회 타이머 잔류치 레지스터(30)로부터 MCA 기능의 모드 M2에 대응하는 목표 토근 순회 타이머 잔류치 TRT1을 독출한다. 다음은, 상기 제어 마이크로 프로세서(24)가, 송신될 데이터 프레임들 D1(j)의 총수에서 계산된 총 송신데이터에 의하여 잔류 시간치에 대응하는 데이터 프레임 D2의 수를 산출한다.

상기 토근을 수신할때, 데이터 프레임의 수 D2(송신되는 데이터 프레임의 총수 D1≥잔류시간치중에 송신될 수 있는 데이터 프레임 D2의 수)가, 토근 패싱 송신제어장치(12)를 통하여 송신로에 공급된다.

단계 320에서는, 상기 제어 마이크로 프로세서(24)가, 송신큐 S1으로부터 상기 데이터 프레임 D1(j)에 대응하는 송신요구 R1(j)을 제거한다. 송신요구가 잔존해 있으면, 상기 제어 마이크로 프로세서(24)가, 송신로의 식별자 A2 정보에러 버퍼의 스토리지 번지를 식별자 A2 제어블록 CB2의 식별자 A2 개시 스토리지 포인터치에 기입한다. 또한, 상기 제어 마이크로 프로세서(24)가, 송신데이터의 개시위치에, 식별자 A2 정보에러 버퍼를 설정한다.

상기 송신큐 S1으로부터 송신요구 R1(j)의 제거서에 송신큐 S1내에 송신요구 R1(j)가 전혀 잔존해 있지 않거나 또는 토근 수신시기에 송신큐 TQ2에 데이터 프레임 D1(j)이 전혀 링크돼 있지 않으면, 상기 제어 마이크로 프로세서(24)가 송신요구의 부재에 대응하는 식별자 A2 정보에러의 번지를 식별자 A2 제어블록 CB2의 식별자 A2 스토리지 포인터치로서, 식별자 A2 제어블록 CB2의 식별자 A2 개시 스토리지 포인터치내에 기입한다.

상기 처리에 의하여, 목표 토근 순회타이머 잔류치 TRT1에 대응하는 데이터 프레임 수 D2에 대응하는 송신로 액세스 요구 프레임 F1이, 토근 수신시에, 상기 송신로에 송출된다.

기타 이점들과 변형들은, 본 기술분야의 숙련자들에게 지명할 것이다. 그러므로, 본 발명은, 상기 특정 내용, 대표적 장치, 실시예들에 한정되지 않는다. 따라서, 청구 범위와 그의 균등범위에 의해 한정된 총괄적 발명 개념의 요지범위내에서 다양한 변형들이 가능하다.

#### (57) 청구의 범위

##### 청구항 1

송수신장치간에 데이터를 송수신하는 방법에 있어서 : 상기 송수신장치내의 송수신 요구들과 연관된 데이터가 필요할때 유용하게 처리되도록, 순위를 결정하고; 상기 결정단계에 의해 결정된 순위에 의하여 상기 송수신 요구들을 재배열하고; 상기 재배열단계에서 재배열된 상기 송수신 요구들에 대한 송수신처리를 실행하는 것을 특징으로 하는 데이터 송수신방법.

##### 청구항 2

제1항에 있어서, 상기 순위결정단계에서, 송신요구의 데이터가 필요할때 수신되도록 송신되는 순위를 결정하고; 상기 재배열단계가, 송신요구들을 재배열하는 단계를 포함하고; 상기 실행단계가 송신처리를 실행하는 단계를 포함하는 것이 특징인 데이터 송수신방법.

##### 청구항 3

제1항에 있어서, 상기 순위결정단계에서 수신요구의 데이터가 수신되면 필요할때 유용하도록 처리되는 순위를 결정하고; 상기 재배열단계가, 수신요구들을 재배열하는 단계를 포함하고; 상기 실행단계가 수신처리를 실행하는 단계를 포함하는 것이 특징인 데이터 송수신방법.

##### 청구항 4

제1항에 있어서, 상기 순위결정단계가 데이터가 필요한 절대시간을 사용하여, 상기 순위를 결정하는 단계를 포함하는 것이 특징인 데이터 송수신방법.

##### 청구항 5

제1항에 있어서, 상기 순위결정단계가 데이터가 필요할때까지의 기간을 이용하여 상기 순위를 결정하는 단

계를 포함하는 것이 특징인 데이터 송수신방법.

#### 청구항 6

송신장치내에서 데이터를 송신하는 방법에 있어서 : 이전의 데이터 송수신정보에 의하여, 상기 송수신 장치의 데이터 송신처리시간, 상기 데이터의 전달시간 및 상기 데이터의 수신처리시간을 산출하여 상기 송신 장치내에 보지하고; 특정 데이터가 요구되는 요구시기와, 1) 상기 송신장치내에 보지된 수신처리 시간과, 2) 상기 송신장치로부터의 데이터 전달에 필요하고 상기 송신장치내에 보지된 전달시간 및 3) 현재시각의 합계간의 차이에 의하여, 상기 송신장치내의 특정 데이터에 대한 송신요구에 응답하여, 상기 송신장치내의 복수의 데이터에 대한 송신요구 순서를 재배열하며, 송신처리순서를 결정하고; 상기 결정된 송신처리순서에 의하여 송신처리를 실행하고; 송신처리된 데이터를 전달하는 것을 특징으로 하는 데이터 송신방법.

#### 청구항 7

제6항에 있어서, 상기 송신장치로부터 전달된 데이터를 수신한 수신장치가, 상기 차이를 구하고, 그 차이에 의하여 상기 수신장치내의 복수의 데이터의 수신처리 요구를 재배열하게 함으로써, 수신처리순서를 결정하고; 상기 결정된 수신처리순서에 의하여 수신처리를 실행하는 것이 특징인 데이터 송신방법.

#### 청구항 8

송수신장치간에 데이터를 송수신하는방법에 있어서 : 송신요구들과 관련된 데이터가 필요할때 수신되게 상기 송수신장치로부터 송신되도록 순위를 결정하고; 상기 순위결정단계에 의해 결정된 순위에 의하여 상기 송신요구를 재배열하고; 상기 재배열된 송신요구들에 의한 순위로 송신처리를 실행하고; 수신요구들과 관련된 데이터가 필요할때 유용하게 처리되도록 순위를 결정하고; 상기 수신순위결정 단계에 의하여 결정된 순위에 의하여 상기 수신요구들을 재배열하고; 상기 재배열된 수신요구들에 의한 순위로 수신처리를 실행함을 특징으로 하는 데이터 송수신방법.

#### 청구항 9

제8항에 있어서, 상기 순위결정단계에서 상기 순위를 결정하기 위해 데이터가 필요한 절대시간을 이용하는 단계를 포함하고 있는 것이 특징인 데이터 송수신방법.

#### 청구항 10

제8항에 있어서, 상기 순위결정단계에서, 상기 순위를 결정하기 위해 데이터가 필요할때까지 시간을 이용하는 단계를 행하는 것이 특징인 데이터 송수신방법.

#### 청구항 11

복수의 국가에 데이터를 송신하는 방법에 있어서 : 주어진 국의 송신요구가 긴급도와 나머지 국들의 각 송신요구의 긴급도를 비교하고; 상기 주어진 국의 송신요구의 긴급도가 나머지 국들의 각 송신요구의 긴급도보다 높을때, 상기 주어진 국의 상기 송신요구에 대응하는 데이터를 송신하는 것을 특징으로 하는 데이터 송신방법.

#### 청구항 12

네트워크로 구성된 복수의 송수신장치간에 데이터를 송신하는 방법에 있어서 : 네트워크로 구성된 복수의 송수신장치 각각이, 각 송수신장치의 송신요구를, 필요에 따라 수신되도록 송신되는 순위로 배열함으로써 얻어진 제1송신큐를 다른 송수신장치들에 송신하게 하고; 다른 송수신장치들 각각으로부터 송신된 상기 제1송신큐를 누적하고, 상기 송신요구들과 관련된 데이터가 네트워크 전체에 대하여 필요할때 수신되도록 송신되는 순위로 상기 누적된 송신큐들을 재배열함으로써 제2송신큐를 작성하고; 주어진 송수신장치가 토근을 수신할때 상기 주어진 송수신장치의 상기 제1송신큐중의 후속으로 송신될 송신요구를 상기 제2송신큐중의 상기 송신요구들의 순위와 비교하고, 상기 제2송신큐에서 후속으로 송신되는 송신요구전에, 후속으로 송신될 상기 송신요구가 송신될때, 후속으로 송신될 상기 송신요구와 관련된 데이터를 전달하는 것을 특징으로하는 데이터 송신방법.

#### 청구항 13

소정의 기간내에 데이터를 송신하기 위한 송신요구를 수신하고; 상기 송신요구와 관련된 데이터가 필요할때 수신되도록 송신되어야 할때에 의하여 송신큐를 주어진 국의 송신스택으로 배열하고; 후속으로 송신될 상기 주어진 국의 송신요구의 송신시기와, 나머지 국들의 각 송신요구의 송신시기를 비교하고; 상기 비교결과에 의하여, 상기 후속으로 송신될 송신요구가 상기 나머지국들의 상기 각 송신요구 이전에 송신되어야 하는 것으로 판정되면, 후속으로 송신될 송신요구와 관련된 데이터를 송신하는 것을 특징으로 하는 데이터 송신방법.

#### 청구항 14

제13항에 있어서, 상기 송수신장치 각각에 의해 수신된 각 수신요구를 수신큐로 수집하고; 상기 송수신장치 각각에 대한 수신요구를 상기 수신요구와 관련된 데이터가 필요할때 유용하게 처리되도록 하는 순위로 배열하고 상기 수신요구들을 상기 순위로 처리하는 것이 특징인 데이터 송신방법.

#### 청구항 15

데이터 송수신정보를 보지하기 위한 메모리수단과; 상기 메모리수단내의 복수의 송수신요구와 관련된 데이터가 필요할때 유용하게 처리되도록 순위를 결정하는 수단 및; 상기 순위에 의하여 상기 송수신요구들을 재배열하고 이 재배열된 송수신요구에 의하여 송수신처리순서를 결정하고, 송수신처리를 실행하는 수단을 구비한 것을 특징으로 하는 송수신장치.

청구항 16

제15항에 있어서, 상기 메모리수단이 송신정보를 보지하고; 상기 결정수단이, 복수의 송신요구와 관련된 데이터가 필요할때 수신되도록 송신되는 순위를 결정하는 것이 특징인 송수신장치.

청구항 17

제15항에 있어서, 상기 메모리수단이 수신정보를 보지하고; 상기 결정수단이, 복수의 수신요구와 관련된 데이터가 필요에 따라 유용하게 처리되도록 하는 순위를 결정하고; 상기 재배열수단이, 수신요구들을 재배열하여 수신처리를 실행하는 것이 특징인 송수신장치.

청구항 18

제15항에 있어서, 상기 결정수단이, 데이터가 필요한 절대시간을 이용하여 상기 순위를 결정하는 것이 특징인 송수신장치.

청구항 19

제15항에 있어서, 상기 결정수단이, 데이터가 필요할때까지의 기간을 이용하여 상기 순위를 결정하는 것이 특징인 송수신장치.

청구항 20

송신요구들과 관련된 데이터가 필요할때 수신되게 송신되도록 순위를 결정하는 수단과; 상기 순위에 따라서 송신요구들을 재배열하고, 이 재배열된 상기 송신요구들에 대해 송신처리를 실행하는 수단과; 수신요구들과 관련된 데이터가 필요할때 유용하게 처리되도록 순위를 결정하는 수단 및; 상기 수신요구 처리순위에 의하여 상기 수신요구들을 재배열하고, 이 재배열된 상기 수신요구에 대해 수신처리를 실행하는 수단을 구비한 것을 특징으로 하는 송수신장치.

청구항 21

제20항에 있어서, 상기 각 결정수단이, 데이터가 필요한 절대시간을 이용하여 상기 순위를 결정하는 것이 특징인 송수신장치.

청구항 22

제20항에 있어서, 상기 각 결정수단이, 데이터가 필요할때까지의 기간을 이용하여 상기 순위를 결정하는 것이 특징인 송수신장치.

청구항 23

복수의 국들간에서 데이터를 송신하는 장치에 있어서; 주어진 국의 송신요구의 긴급도를 나머지 국들의 각 송신요구의 긴급도와 비교하는 수단과; 상기 주어진 국의 상기 송신요구의 긴급도가 상기 나머지 국들의 각 송신요구의 긴급도보다 더 높을때 상기 주어진 국의 송신요구에 대응하는 데이터를 송신하는 수단을 구비한 것을 특징으로 하는 데이터 송신장치.

청구항 24

주어진 국으로부터 복수의 다른 국들중 임의의 국에 데이터를 송신하는 장치에 있어서; 송신큐를 갖고 있고, 주어진 국으로부터 복수의 다른 국들중 임의의 국에 데이터를 송신하고, 데이터를 송신하기 위한 송신요구를 수신하는 송신스택수단과; 상기 송신요구와 관련된 데이터가 필요할때 수신되도록 하는 순위로 상기 송신큐를 배열하는 수단과; 후속으로 송신될 상기 주어진 국의 상기 송신요구의 시기를, 상기 다른 국들의 송신요구의 시기와 비교하는 비교수단 및; 후속으로 송신될 상기 송신요구가 상기 다른 국들의 상기 각 송신요구 이전에 송신되어야 할때, 후속으로 송신될 상기 송신요구와 관련된 데이터를 송신하는 수단을 구비한 것을 특징으로 하는 데이터 송신장치.

청구항 25

제24항에 있어서, 수신큐를 갖고 있고, 수신된 데이터를 처리하기 위한 수신요구를 수신하는 수신스택 수단과; 상기 수신요구들과 관련된 데이터가 필요할때 유용하게 처리되도록 하는 순위로 상기 수신큐를 배열하는 수단과; 상기 배열수단에 의해 배열된 상기 수신요구들을 처리하는 수단을 더 구비한 것을 특징으로 하는 데이터 송신장치.

청구항 26

네트워크로써 구성된 복수의 송수신장치에 있어서; 상기 송수신장치 각각이; 상기 복수의 송수신장치에 공통적인 현재시기를 측정 및 관리하기 위한 타이머수단과; 이전의 데이터 송수신정보에 의하여, 데이터 송신처리시간, 상기 다른 송수신장치들에 데이터를 전송하는데 걸리는 데이터 전송시간 및 상기 다른 송수신장치를 각각의 데이터 수신처리시간을 구하기 위한 수단 및 상기 얻어진 데이터 송신처리, 데이터 전송 및 데이터 수신처리시간을 보지하기 위한 메모리수단과; 상기 메모리수단내에 기억된 상기 수신처리 및 전송시간과 상기 타이머수단에 의해 구해진 현재 시기의 합계를 데이터가 송신될 상기 다른 송수신장치 각각에 의해 특정 데이터가 요구되는 요구시기로부터 감산하여 각각의 차이를 구하고, 이들 차이에 의하여 송신처리될 복수의 데이터의 송신요구순서를 재배열하여, 송신처리를 실행하는 송신처리수단과; 상기 송수신 장치들간의 토큰패싱방식을 제어하고, 상기 송수신장치가 상기 토큰을 수신할때, 상기 송신처리수단에 의해 재배열된 상기 송신요구순서에 의해 상기 특정데이터를 전송하기 위한 송신제어수단을 구비한 것을 특징으로 하는 네트워크상으로 구성된 복수의 송수신장치.

청구항 27

제26항에 있어서, 상기 송수신장치 각각이, 전송된 데이터를 수신하고, 다른 요구시기로부터 다른 현재 시기를 감산하여 그 차이를 구하고, 상기 각 송수신장치내의 복수의 데이터의 수신처리요구를 재배열하여 수신처리순서를 결정하고, 이 결정된 수신처리순서에 의하여 수신처리를 실행하기 위한 수단을 더 구비한 것이 특징인 네트워크상으로 구성된 복수의 송수신장치.

청구항 28

네트워크로써 구성된 복수의 송수신장치에 있어서, 상기 송수신장치 각각이; 송신요구들과 관련된 데이터가 필요할때 수신되게 송신되도록 하는 순위로 송신요구들을 배열함으로써 제1송신큐를 작성하는 수단과; 상기 제1송신큐를 다른 송수신장치들에 송신하는 수단과; 상기 다른 송수신장치들로부터 송신된 제1송신큐를 누적하고, 제2송신큐를 작성하도록 결정된 상기 네트워크 전체에 대해 필요할때 수신되도록 데이터가 송신되는 순위로, 상기 누적된 제1송신큐들을 재배열하는 수단 및; 상기 큐 송수신장치에 의해서 토큰이 수신될때 상기 제2송신큐내의 다른 송신요구들과, 주어진 송수신장치의 제1송신큐에서 후속으로 송신될 송신요구를 비교하고, 후속으로 송신될 상기 송신요구가 또한 상기 제2송신큐내에서 후속으로 송신될 송신요구일때 상기 주어진 국의 후속으로 송신될 상기 송신요구에 대응하는 데이터를 전송하는 수단을 구비한 것을 특징으로 하는 네트워크로써 구성된 복수의 송수신장치.

청구항 29

네트워크로써 구성된 복수의 송수신장치에 있어서; 상기 송수신장치 각각이; 상기 복수의 송수신장치에 공통적인 현재시기를 측정 및 관리하기 위한 타이머수단과, 이전의 데이터 송수신정보에 의하여 데이터 송신처리시간, 상기 다른 송수신장치들에 데이터를 전송하는데 걸리는 데이터 전송시간 및 상기 다른 송수신장치들 각각의 데이터 수신처리시간을 구하기 위한 수단 및; 상기 얻어진 데이터 송신처리, 데이터 전송 및 데이터 수신처리시간을 보지하기 위한 메모리수단과; 상기 메모리수단내에 기억된 상기 수신처리 및 전송시간과 상기 타이머수단에 의해 구해진 현재시기의 합계를 데이터가 송신될 상기 다른 송수신장치 각각에 의해 특정데이터가 요구되는 요구시기로부터 감산하여, 각각의 차이를 구하고, 이들 차이에 의하여 송신처리될 복수의 데이터의 송신요구순서를 재배열하여, 송신처리를 실행하는 송신처리 수단과; 상기 다른 송수신장치들 전부에서 송신요구들을, 이 송신요구들과 관련된 데이터가 필요할때 수신되도록 송신되는 순위로 재배열함으로써 송신큐를 작성하는 수단과; 상기 송수신장치들간의 토큰패싱방식을 제어하고, 주어진 송수신장치의 상기 재배열된 송신요구순서에서 후속 송신되는 송신요구를 상기 송신큐와 비교하고, 상기 주어진 국의 후속으로 송신될 상기 송신요구가, 상기 송신큐에서 후속으로 송신되는 상기 송신요구 이전에 송신되어야할때 상기 주어진 국의 후속으로 송신될 상기 송신요구에 대응하는 데이터를 전송하는 수단을 구비한 것을 특징으로 하는 네트워크로써 구성된 복수의 송수신장치.

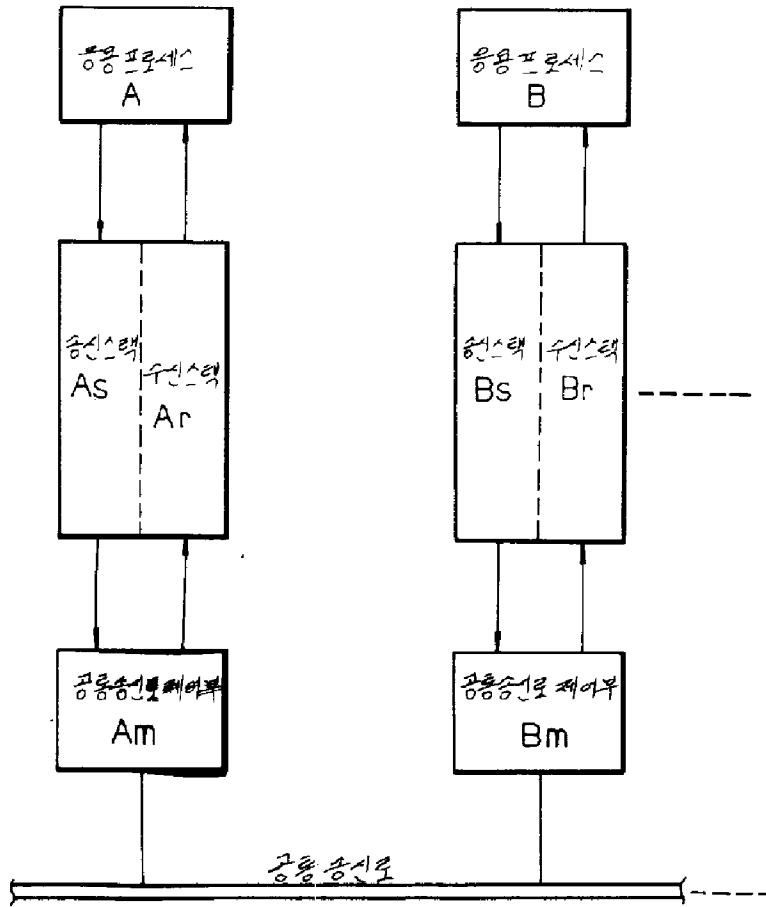
청구항 30

제29항에 있어서, 상기 송수신장치 각각이, 전송된 데이터를 수신하고, 다른 요구시기로부터 다른 현재시기를 감산하여 그 차이를 구하고, 상기 각 송수신장치내의 복수의 데이터의 수신처리요구를 재배열하여 수신처리순서를 결정하고, 이 결정된 수신처리순서에 의하여 수신처리를 실행하기 위한 수단을 더 구비한 것이 특징인 네트워크로써 구성된 복수의 송수신장치.

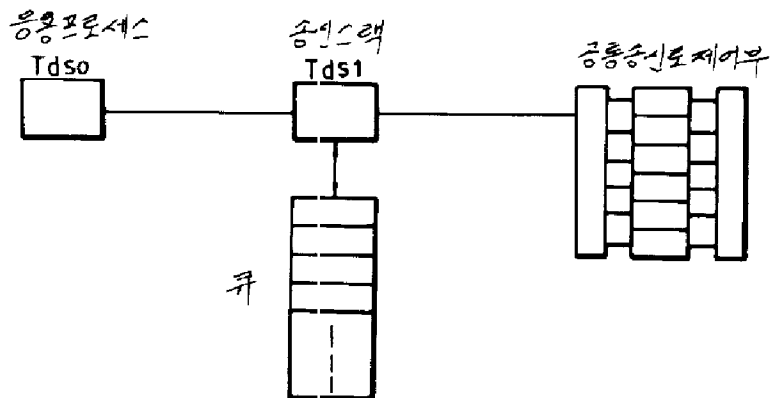


도면

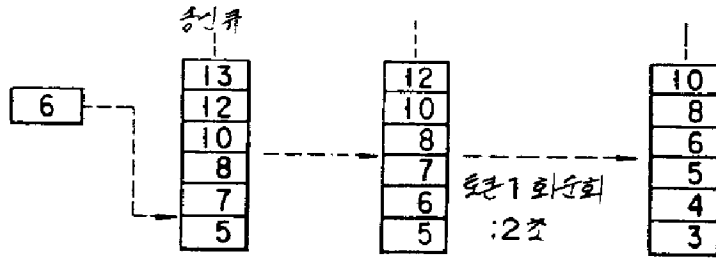
도면1



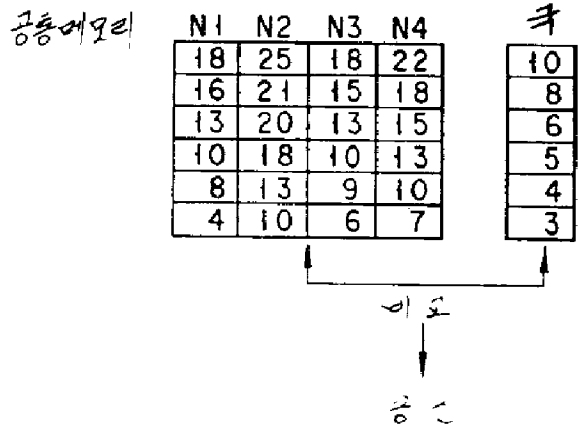
도면2



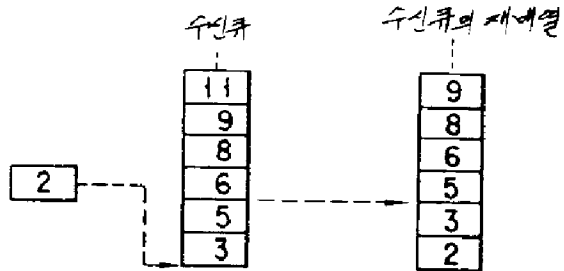
도면3



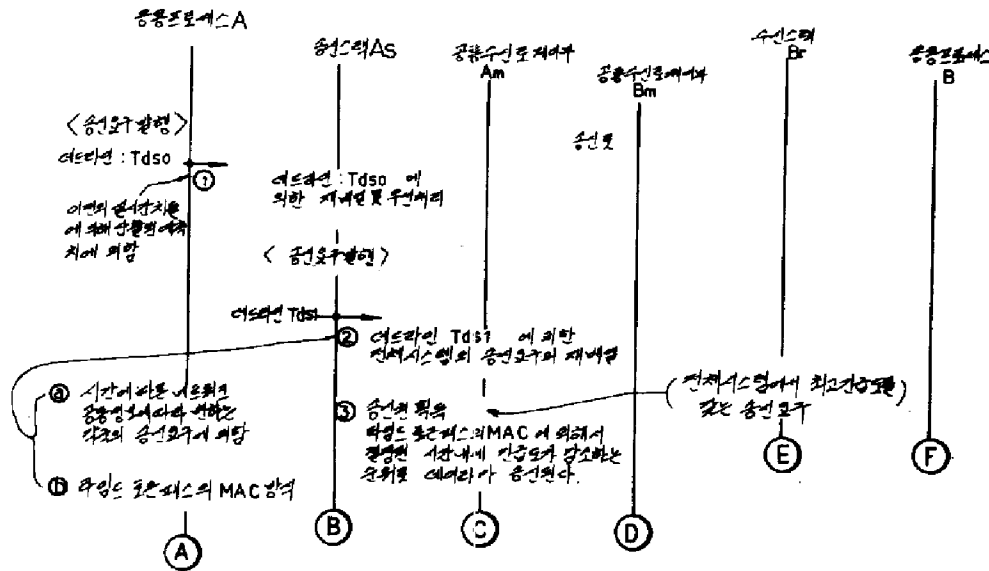
도면4



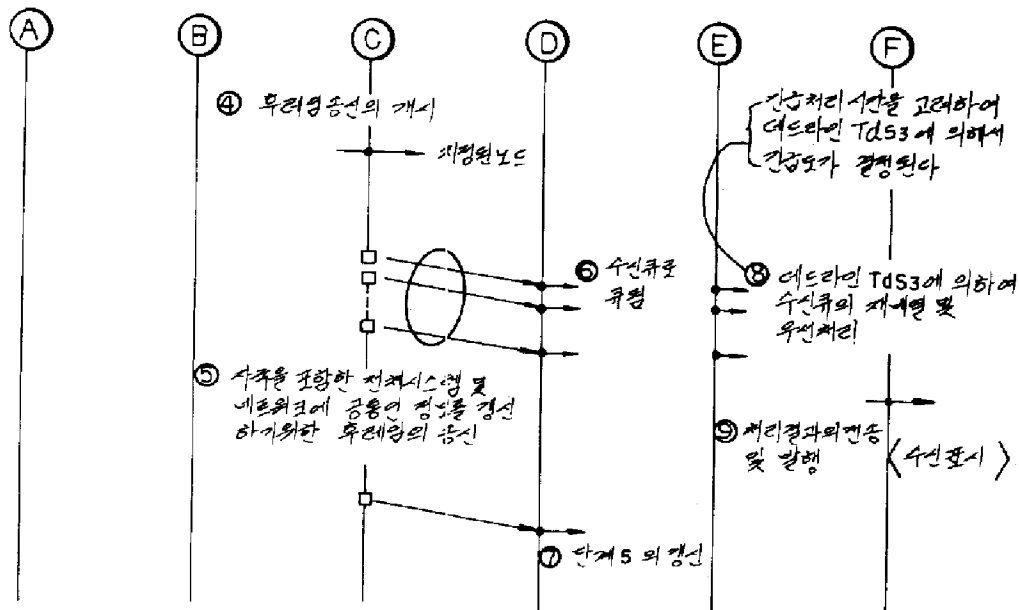
도면5



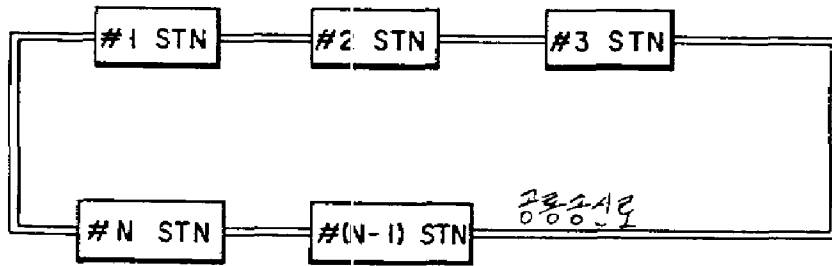
도면6A



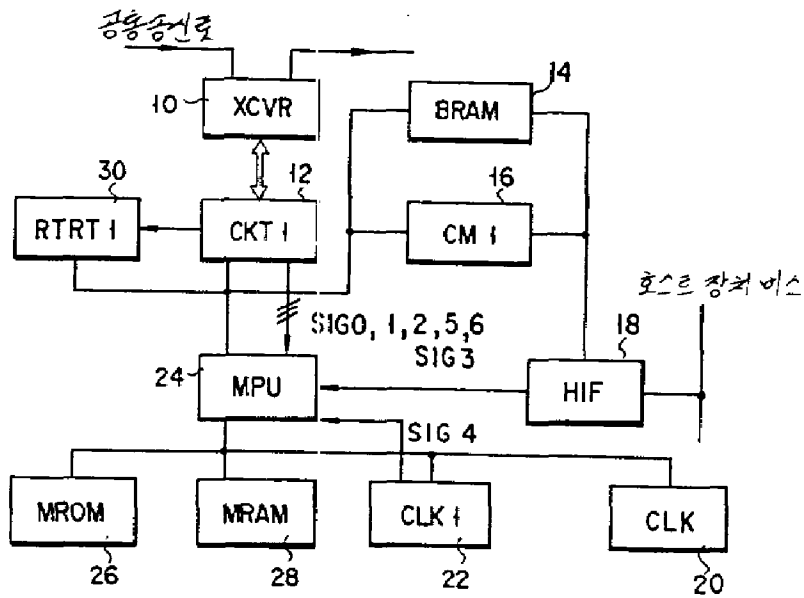
도면6B



도면7



도면8



도면9

증신데이터 DT1(j)

증신 데이터 바이트	제인 제어 데이터
증신 데이터 개수	증신 구간
증신 데이터에 대해 가해진 바이트 정보	증신 데이터
증신 데이터 DT1(j)	의 정보부(k)



도면 14

최초 송신후러임 제어블록 TCB1	의	스토리지 포인터 값
최후 송신후러임 제어블록 TCB1	의	스토리지 포인터 값
링크의 제어블록 TCB1	의	총수

도면 15

최초국 송수신 처리시간 정보		
최초국 송신 처리시간 ( TX )		최대치
상 동		최소치
최초국 수신 처리시간 ( Tr )		최대치
상 동		최소치
최초국으로부터 제2국으로의 전송시간 (TXf)		최대치=0
상 동		최소치=0
최초국으로부터 제n국으로의 전송시간		최대치
상 동		최소치
최초국으로부터 제n국으로의 전송시간		최대치
상 동		최소치
제2국 송수신 처리시간 정보		
제n국 송수신 처리시간 정보		
제n국 송신 처리 시간 ( TX )		최대치
상 동		최소치
제n국 수신 처리 시간 ( Tr )		최대치
상 동		최소치
제n국으로부터 최초국으로의 전송시간 (TXf)		최대치
상 동		최소치
제n국으로부터 제2국으로의 전송시간		최대치
상 동		최소치

도면16

수신후래임 제어블록 / 패킷 제어 에리어
직전의 RCB1(j) 스토리지 포인터 값 (PRE)
후속의 RCB1(j) 스토리지 포인터 값 (NEXT)
송수신 완료 표시 (RSTATUS)
데이터 후래임 스토리지 포인터 값
경과시간 정보에리어
여유시간 에리어 (Tds)

예를 들어 PRE = 0 (최초) 와  
NEXT = -1 (LAST) 이 식별됨

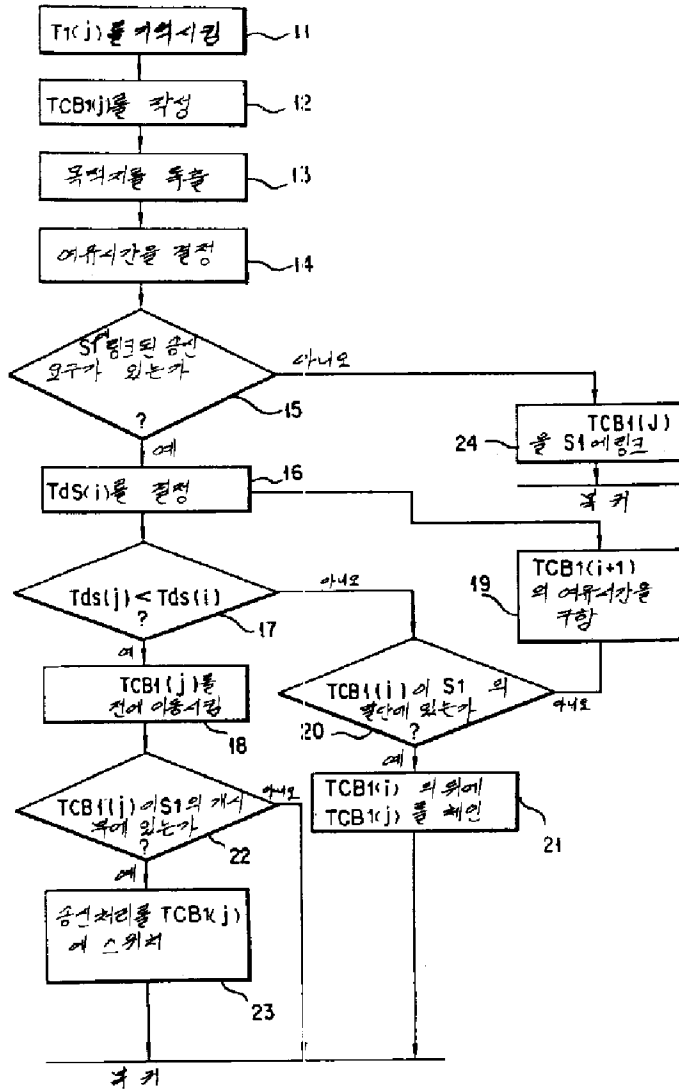
도면17

최고전송도를 나타내는 수신후래임 제어블록 RCB1(j)의 스토리지 포인터 값
링크된 제어블록 RCB1(j) 의 총수

도면18

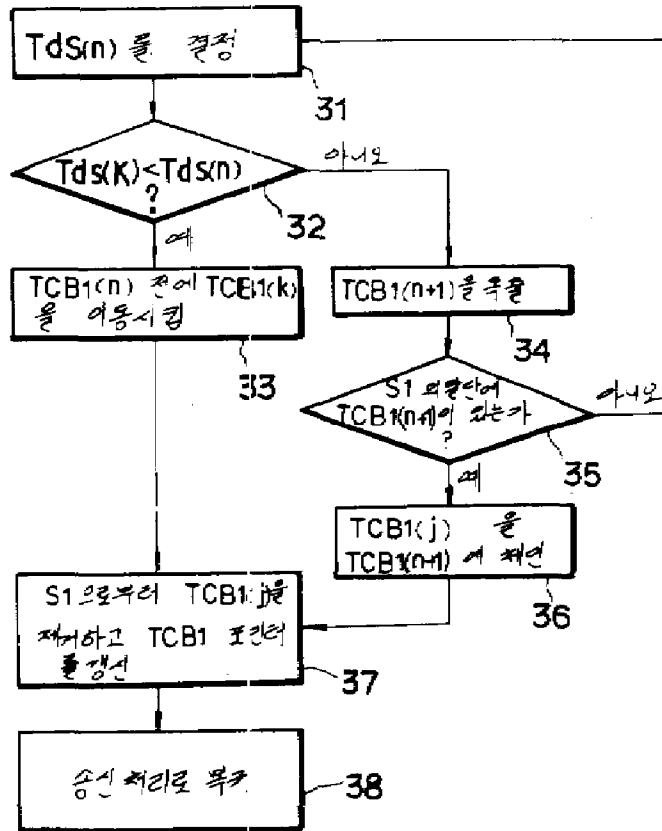
최초수신후래임 제어블록 RCB1 의 스토리지 포인터 값
최후수신후래임 제어블록 RCB1 의 스토리지 포인터 값
링크된 제어블록 RCB1 의 총수

도면 19

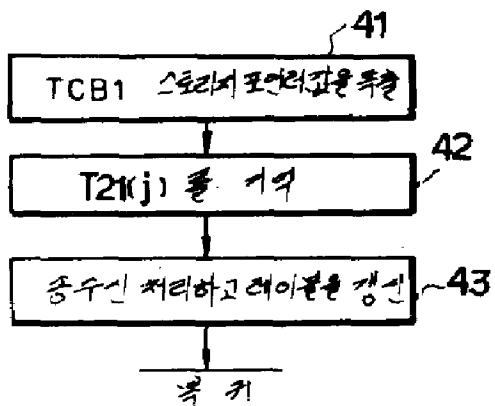




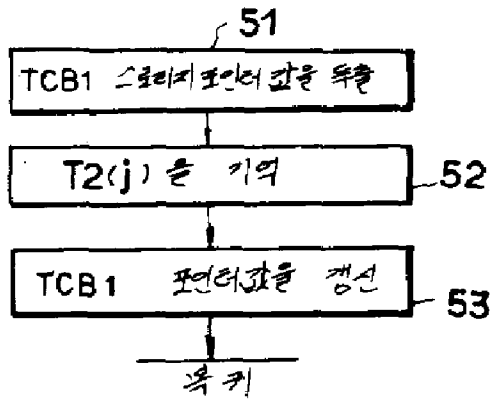
도면20



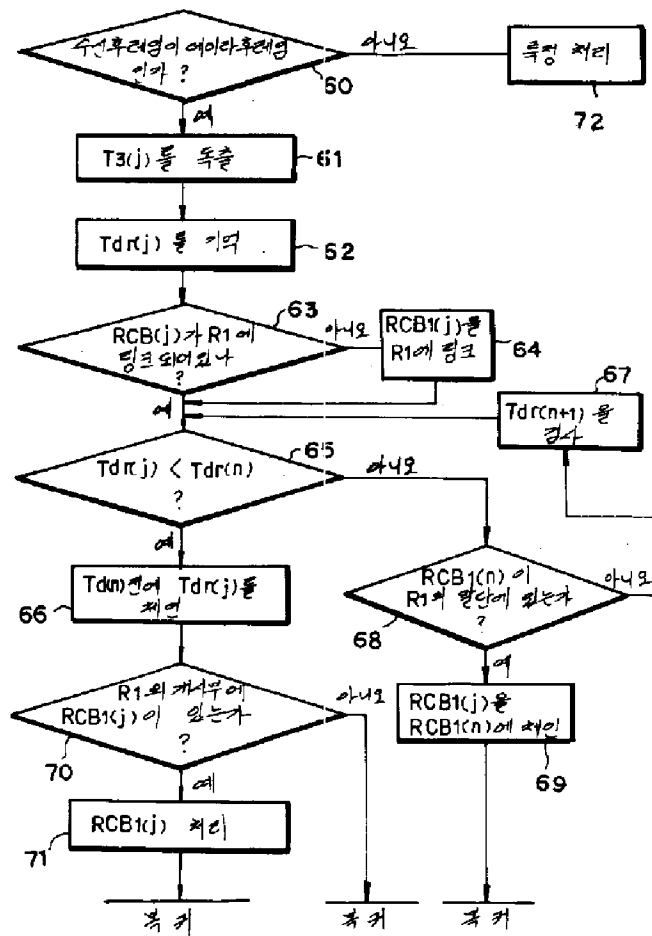
도면21



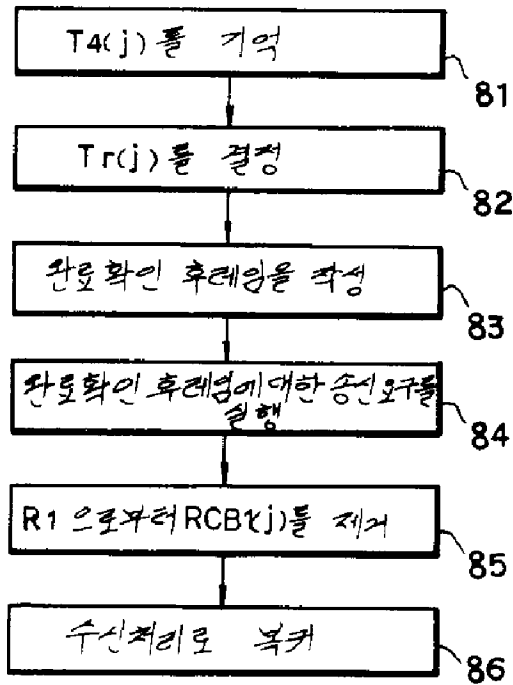
도면22



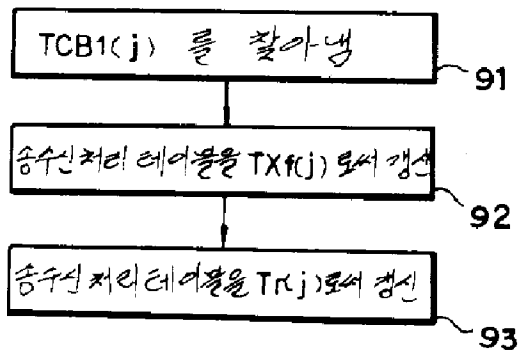
도면23



도면24



도면25



도면26

송신데이터 버퍼 / 제어 제어 에리어
송신데이터의 개시/종전/말안 표시 에리어
송신데이터에 대해 카운트된 버퍼내 정보부 데이터
송신데이터 DT1(j) 의 정보부(k)

도면27

제어블록 CB1(j)

제어블록 CB1 바퍼 / 체인 제어 에리어
데이터 후레임 ID 코드
목적 번지
유류 에리어
송신 명령
식별자 A1 (=TX(j))
경과시간 정보에리어 (TIM1(j))
송신데이터 DT1(j) 스토리지 포인터 값
송신데이터 DT1(j) 이송데이터 카운트 제어 에리어 (=CNT1(j))

도면28

[ 프리앰블 ] [ 개시 디리미터 ] [ 후레임 제어 = 데이터 후레임 ]  
 [ 목적 번지 ] [ 소오스 번지 ] [ 정보 부 ]  
 [ FCS : 후레임 검사완서 ] [ 말단 디리미터 ]

도면29

송신 후레임 제어블록 / 체인 제어 에리어
데이터 후레임 헤더 정보부 스토리지 포인터 값 (=CB1(j) 스토리지 번지)
데이터 후레임 정보부 스토리지 포인터 값 (=DT1(j) 바퍼에서 스토리지 번지)

도면30

선행의 R1(j) 스토리지 포인터 값 (PRE)
후속의 R1(j) 스토리지 포인터 값 (NEXT)
CB1(j) 스토리지 포인터 값

도면31

최고 간섭도를 나타내는 송신요구 $R1(j)$ 스토리지 포인터
링크된 송신요구 $R1$ 의 총수
작성된 식별자 $A2$ 의 후속으로 작성되는 송신요구 $R1(j)$ 의 스토리지 포인터 값 (NEXTP )

도면32

식별자  $A2$  제어블록 CB2

스토리지 번지  
ADR21

유류 에리어
송신요구 식서스 요구 후레임 ID 코드
목 적 번 지 = 인코스캐스트 번지
자국 번지
송신 명령
유류 에리어
식별자 $A2$ 개시 스토리지 포인터 값 (ADR22 )
식별자 $A2$ 내에 포함된 송신요구들의 수 (= N )
송신요구의 무재에 대응하는 식별자 $A1$ 값

스토리지 번지 ADR21은 고정된 번지임  
스토리지 번지 ADR22는 방향 변형

도면33

식별자  $A2$  정보 에리어 바퍼

송신데이터 바퍼 / 레인 제어 에리어
송신데이터 개시/종간/ 결단 표시
송신 바퍼 내 바퍼행보수 데이터 카운트 ( = 1 )
$TO(j)$ 값 = 제 N번째 간섭도를 갖는 송신요구에 대응하는 TN
유류 에리어

도면34

[ 프리앰블 ] [ 개시 디리미터 ]  
 [ 후레임 제어 = 송신로 액세스 요구 ]  
 [ 목적 번지 ] [ 소호스 번지 ]  
 [ 식별자 A2 를 포함한 정보부  
 [ FCS: 후레임 검사 수식 ] [ 종단 디리미터 ] ]

도면35

송신 후레임 제어 블록 / 채널 제어 에리어
헤더 정보 스토리지 포인터 값 (=ADR21)
정보부 스토리지 포인터 값 (=ADR22)

도면36

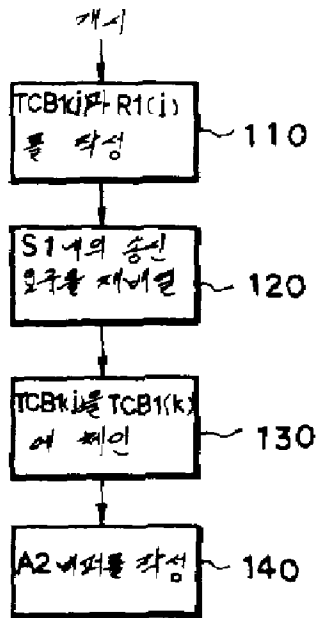
직전의 R2(j) 스토리지 포인터 값 (PRE)
후속의 R2(j) 스토리지 포인터 값 (NEXT)
유틸리티 에리어
요구상태의 송신 제어국 번지
송신 제어국의 전송성의 우선도 k
전송 우선도 k 에 대응하는 식별자 A1 값 (TK)

여기들어 PRE=0 (최초), NEXT=-1 (최후)  
 가 식별된다.

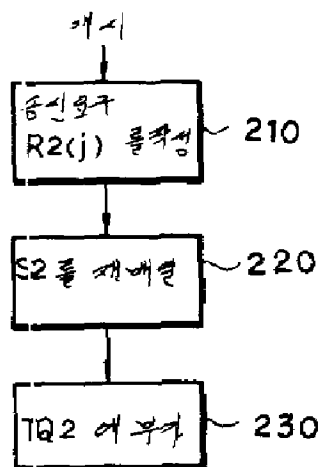
도면37

최고전송도를 표시하는 송신요구 R2(j) 스토리지 포인터 값
링크된 송신요구 R2 의 총수

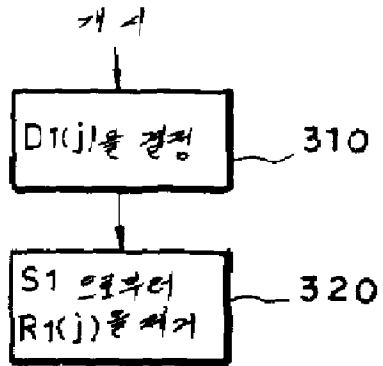
도면38



도면39



도면40







US005535214A

# United States Patent [19]

Shiobara

[11] **Patent Number:** **5,535,214**  
 [45] **Date of Patent:** **Jul. 9, 1996**

[54] **TIMELY PROCESSING OF TRANSMISSION AND RECEPTION REQUESTS IN A MULTI-NODE COMMUNICATION NETWORK**

## FOREIGN PATENT DOCUMENTS

0147677 7/1985 European Pat. Off. .  
 0185332 6/1986 European Pat. Off. .

[75] Inventor: **Yasuhisa Shiobara**, Tokyo, Japan  
 [73] Assignee: **Kabushiki Kaisha Toshiba**, Kawasaki, Japan

*Primary Examiner*—Hassan Kizou  
*Attorney, Agent, or Firm*—Cushman Darby & Cushman

[21] Appl. No.: **60,041**

[22] Filed: **May 13, 1993**

## [30] Foreign Application Priority Data

Jun. 18, 1992 [JP] Japan ..... 4-159725

[51] **Int. Cl.<sup>6</sup>** ..... **H04L 12/433**

[52] **U.S. Cl.** ..... **370/85.6; 370/85.5; 340/825.5**

[58] **Field of Search** ..... 370/60, 60.1, 85.1,  
 370/85.2, 85.4, 85.5, 85.6, 85.15, 94.1,  
 94.2, 94.3, 95.1; 340/825.05, 825.5, 825.51

## [56] References Cited

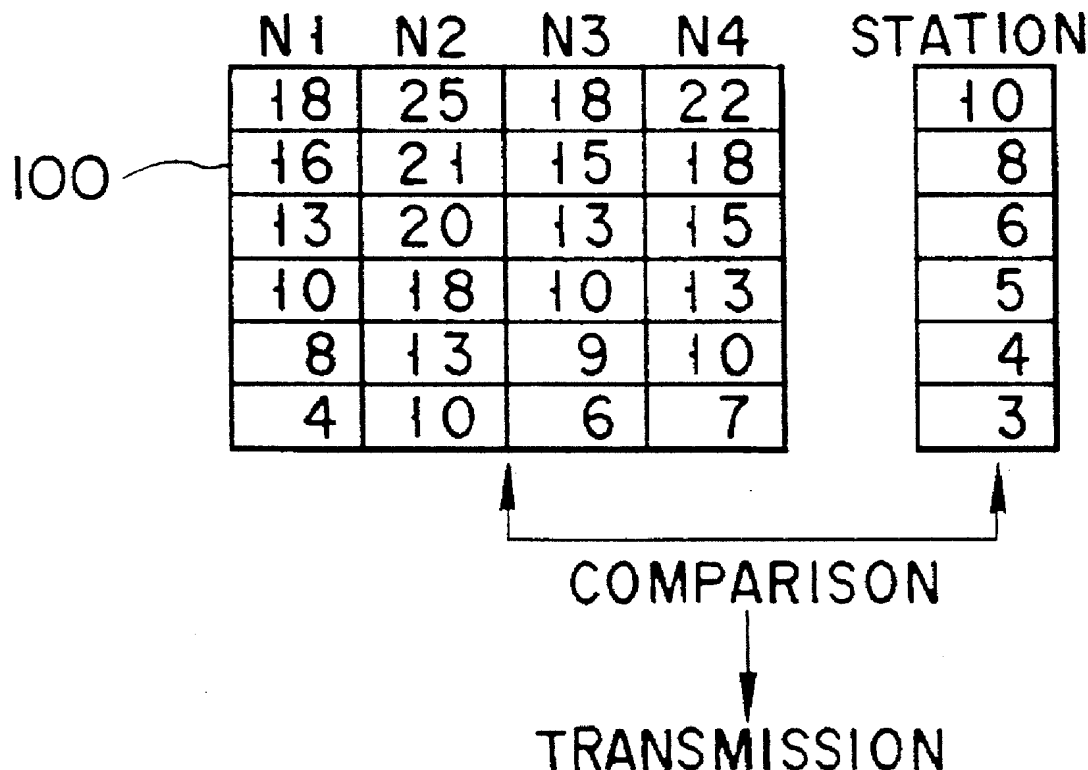
### U.S. PATENT DOCUMENTS

4,404,557 9/1983 Grow ..... 340/825.05  
 5,065,397 11/1991 Shiobara ..... 370/85.12  
 5,079,763 1/1992 Chao et al. .... 370/85.15  
 5,119,374 6/1992 Firoozmand et al. .... 370/85.6  
 5,140,584 8/1992 Suzuki ..... 370/94.1  
 5,172,373 12/1992 Suzuki ..... 370/85.6

## [57] ABSTRACT

Each node in a network of nodes calculates and holds a data transmission processing time of each node, a transfer time of data and a reception processing time of the data on the basis of past data transmission/reception information. A transmission request sequence for a plurality of data in a first node is rearranged responsive to a transmission request for specific data from a first node to a second node. This rearranging process is done on the basis of a difference between a request timing at which time the specific data is required by the second node and the sum of: 1) a reception processing time of the second node, the reception processing time being held in the first transmission reception node; 2) a transfer time required for transferring data from the first node to the second node, the transfer time being held in the first node; and 3) a current timing, thereby determining a transmission processing sequence. Transmission processing is performed in accordance with the determined transmission processing sequence. Not only may data be ordered within each node with regard to both transmission and reception, but also data may be ordered for transmission throughout the entire network.

**35 Claims, 19 Drawing Sheets**



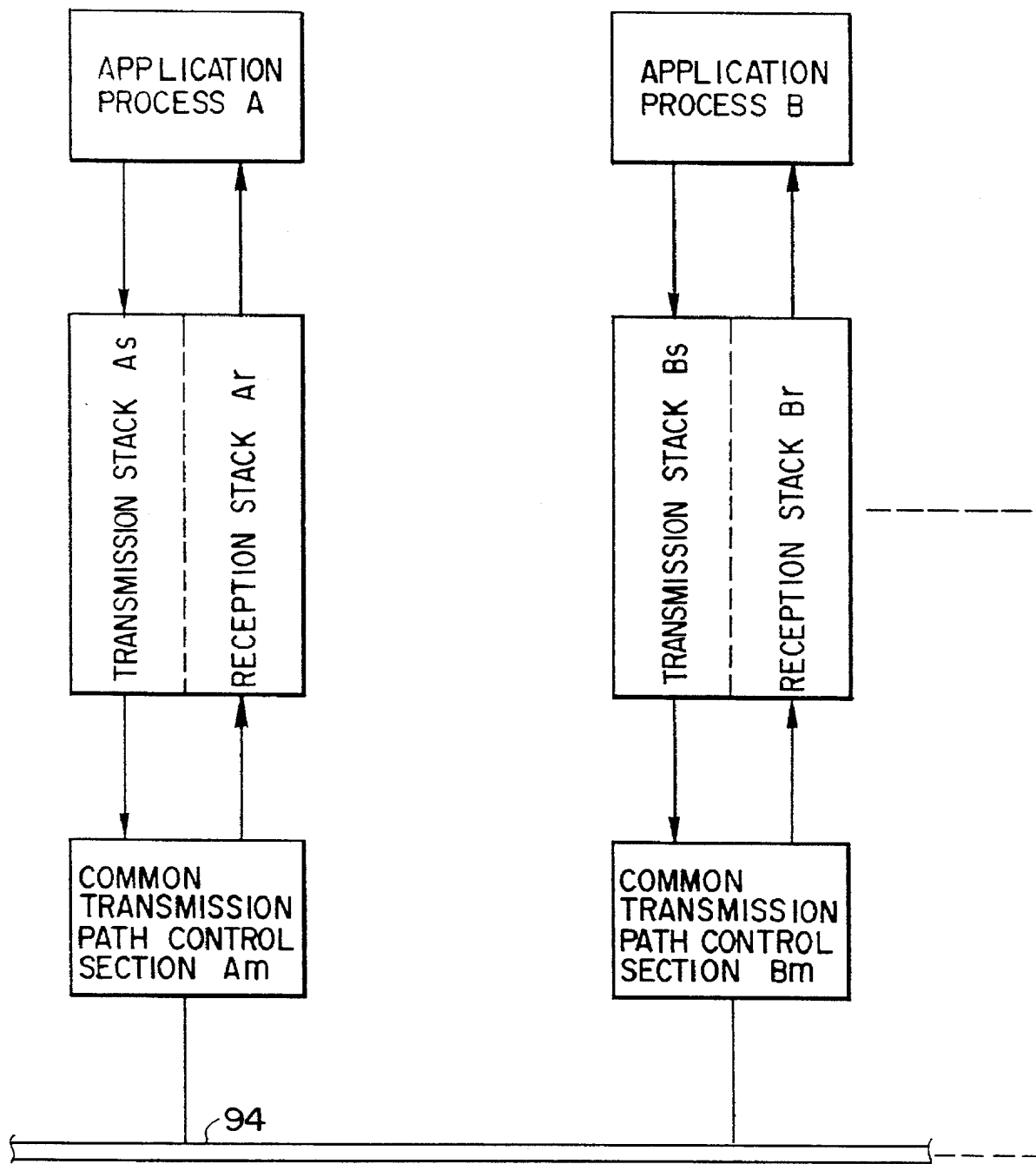
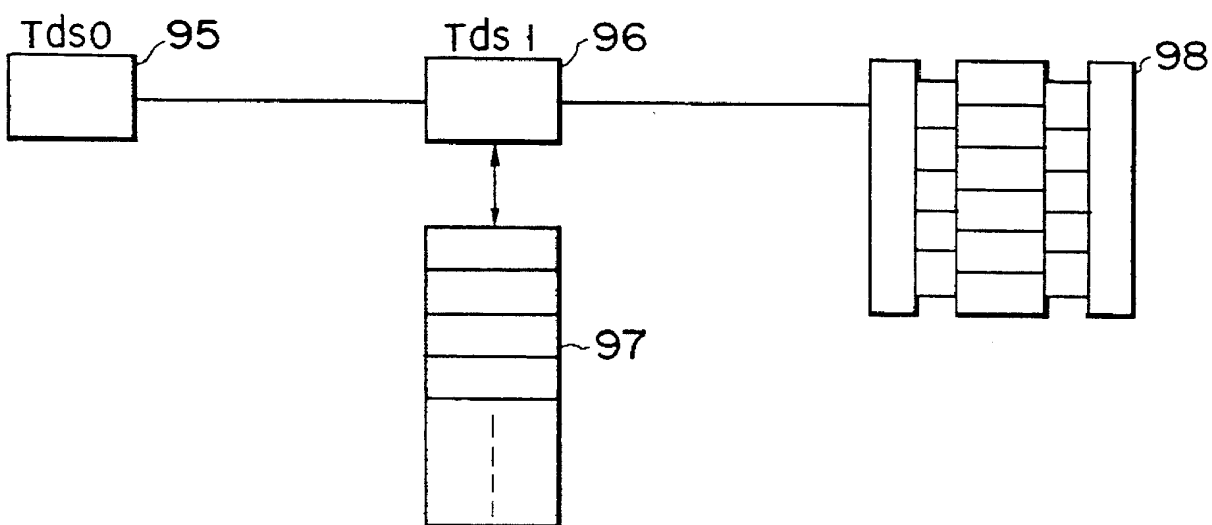


FIG. 1



F I G. 2

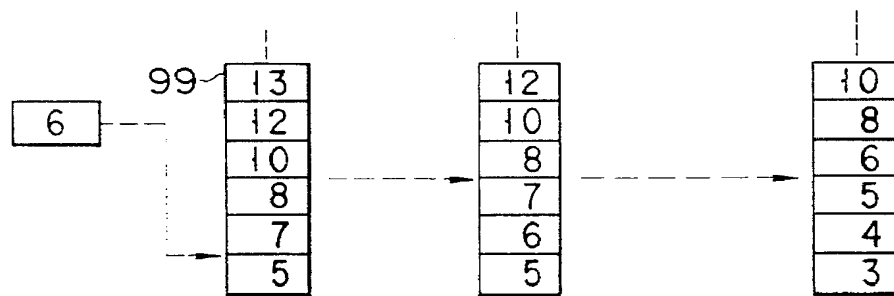


FIG. 3

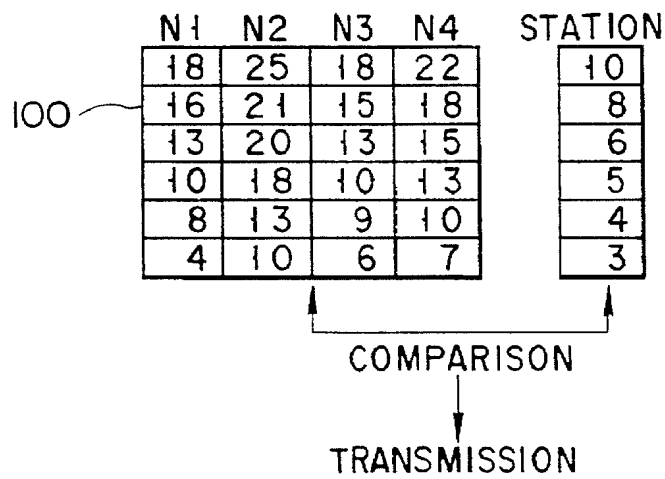


FIG. 4

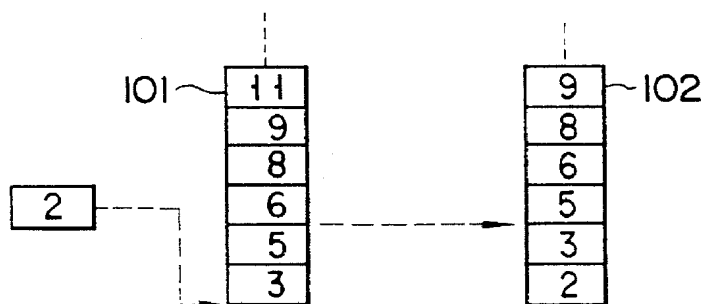


FIG. 5

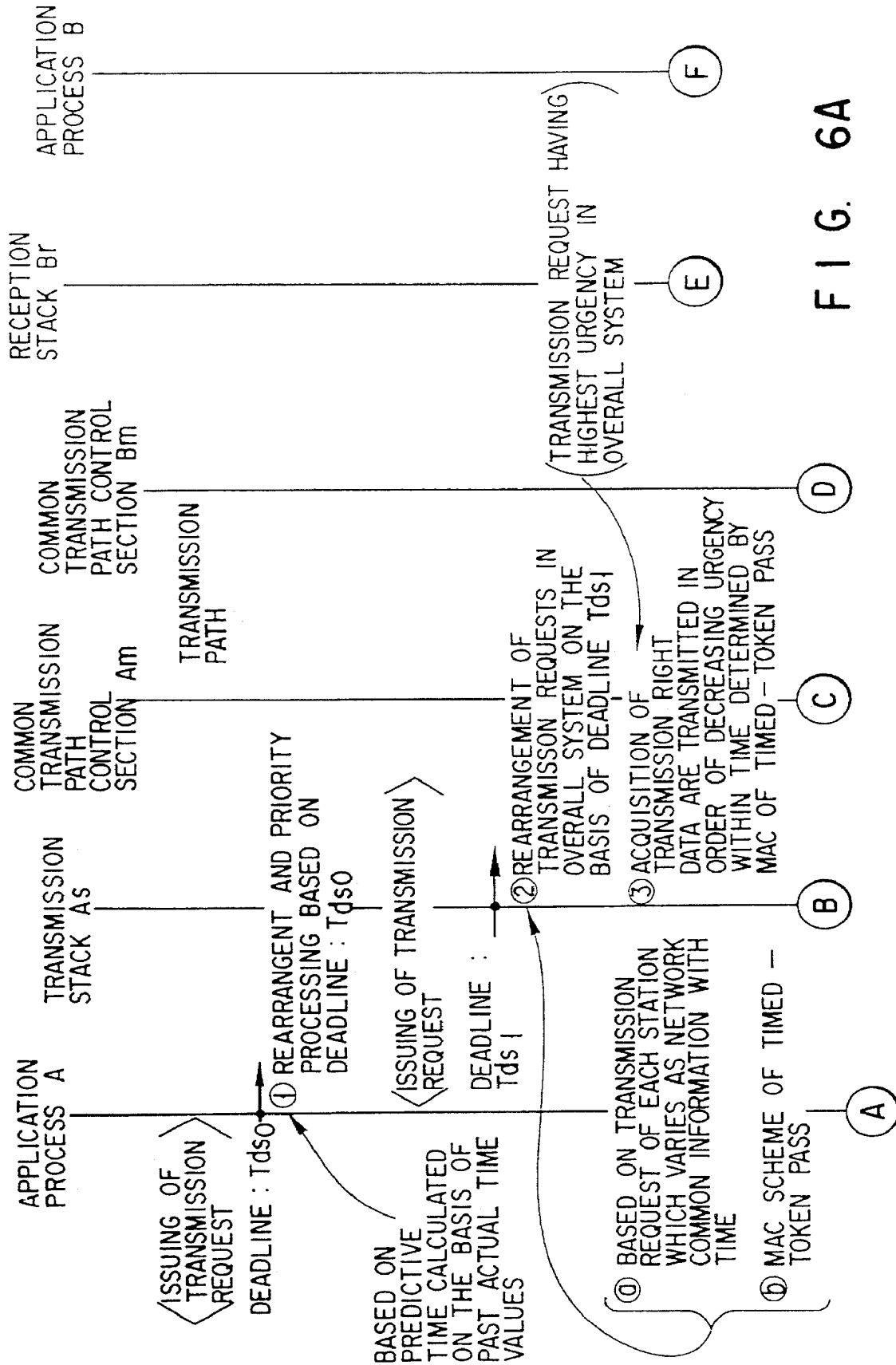


FIG. 6A

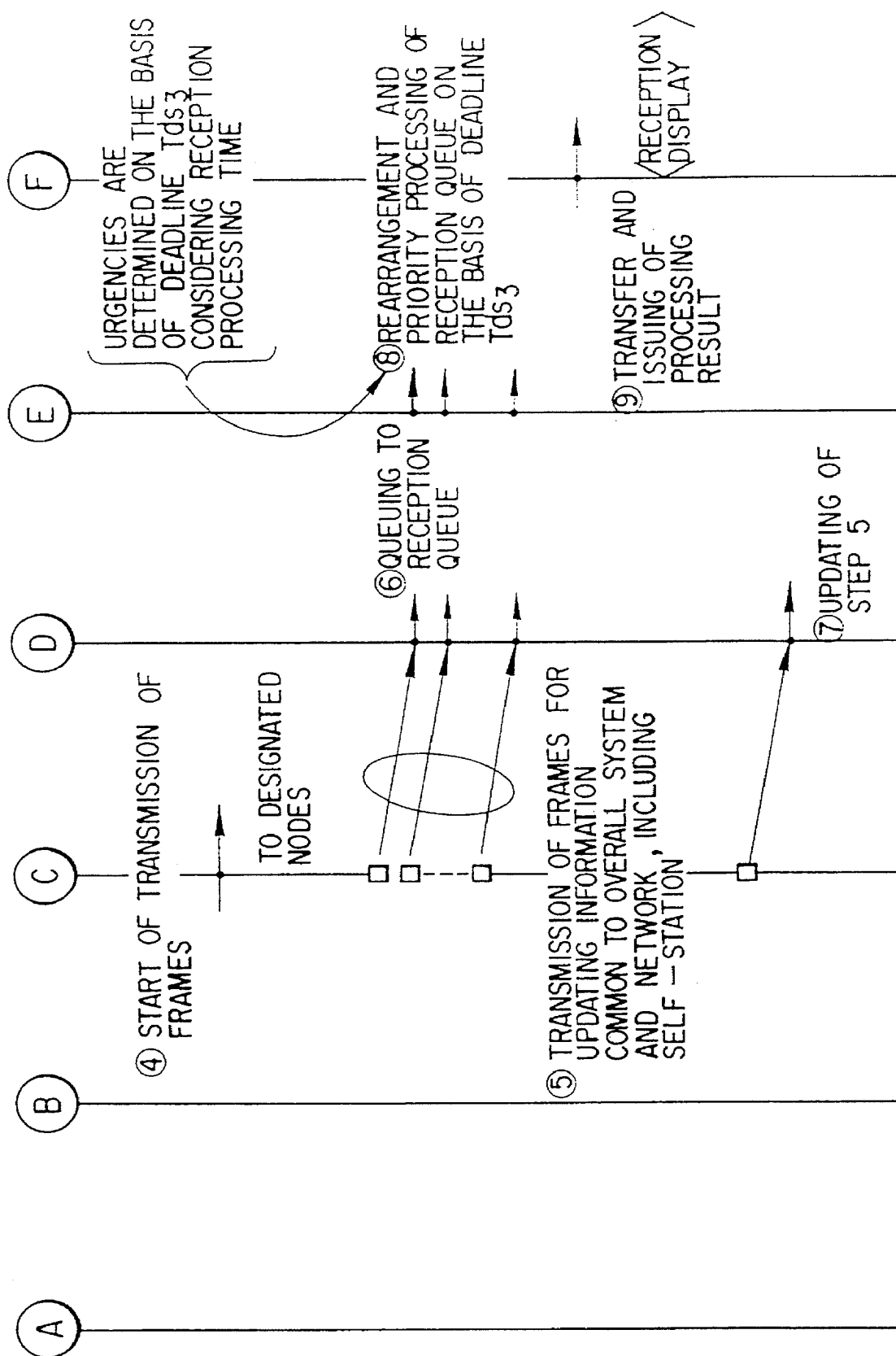


FIG. 6B

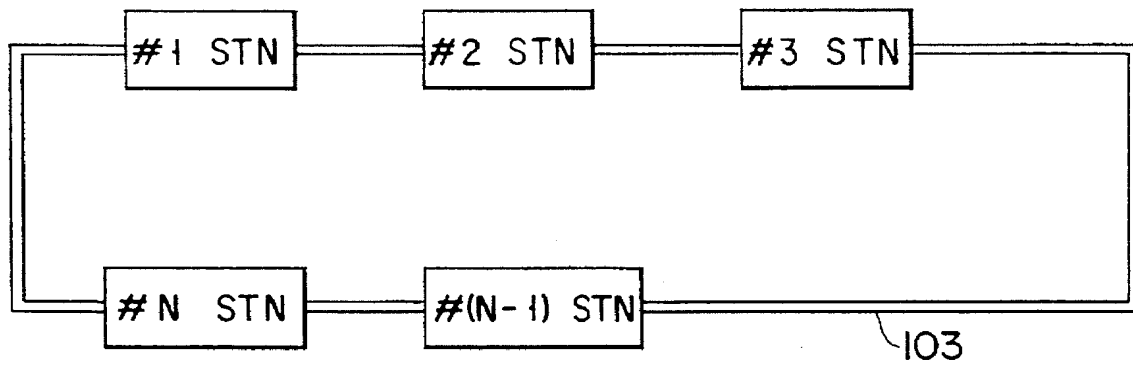


FIG. 7

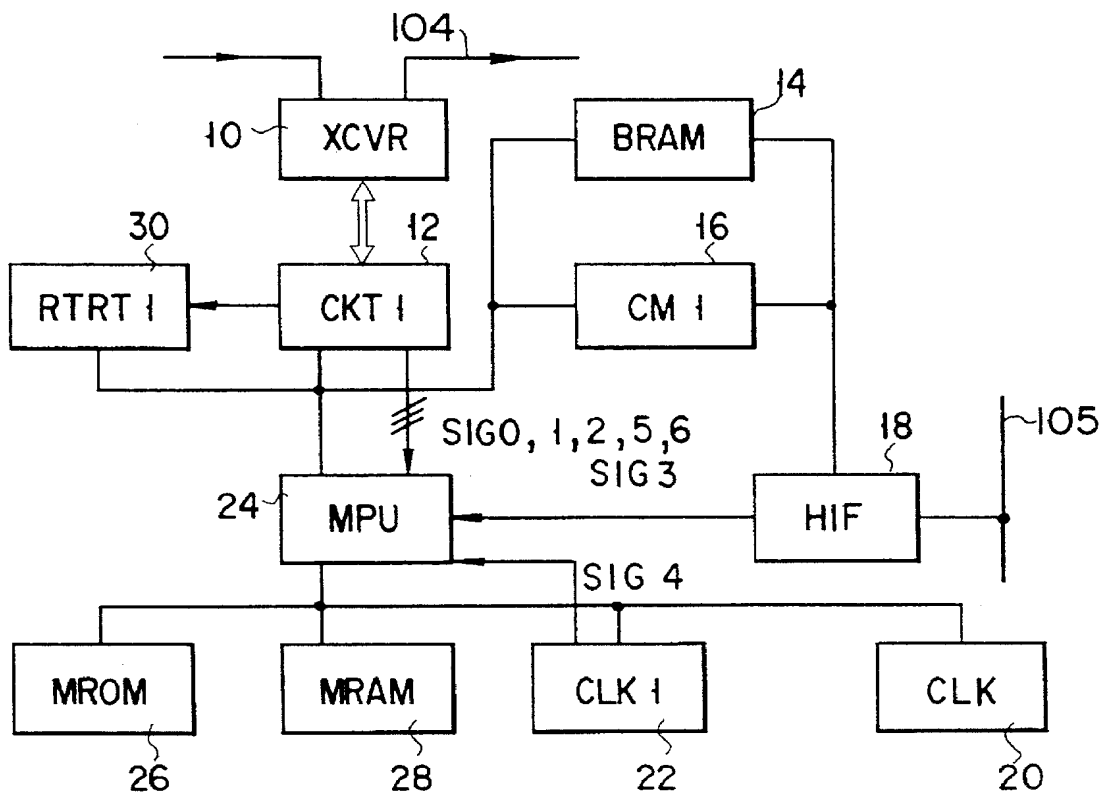


FIG. 8

TRANSMISSION DATA BUFFER/CHAIN CONTROL AREA
START/INTERMEDIATE/END DISPLAY AREAS OF TRANSMISSION DATA
INTRA-BUFFER INFORMATION PORTION DATA COUNT FOR TRANSMISSION DATA
INFORMATION PORTION (K) OF TRANSMISSION DATA DT { (j) }

F I G. 9

CONTROL BLOCK CB { BUFFER/CHAIN CONTROL AREA
DATA FRAME ID CODE
DESTINATION ADDRESS
FREE AREA
TRANSMISSION COMMAND
REQUEST TIMING (= TO { (j) })
MARGIN TIME (= Tds { (j) })
ELAPSED TIME INFORMATION AREA (= TIM { (j) })
TRANSMISSION DATA DT { (j) } STORAGE POINTER VALUE
TOTAL DATA COUNT CONTROL AREA OF TRANSMISSION DATA DT { (j) } (= CNT { (j) })

F I G. 10

[PREAMBLE] [START DELIMITER] [FRAME CONTROL=DATA FRAME]  
 [DESTINATION ADDRESS] [SOURCE ADDRESS]  
 [INFORMATION PORTION: INCLUDING REQUEST TIMING (TO { (j) }) VALUE]  
 [FCS: FRAME CHECK SEQUENCE] [END DELIMITER]

F I G. 11



TRANSMISSION CONTROL BLOCK/CHAIN CONTROL AREA
IMMEDIATELY PRECEDING TCB <sub>i</sub> (j) STORAGE POINTER VALUE (PRE)
SUCCEEDING TCB <sub>i</sub> (j) STORAGE POINTER VALUE (NEXT)
TRANSMISSION/TRANSMISSION COMPLETION DISPLAY (TSTATUS)
DATA FRAME HEADER INFORMATION PORTION STORAGE POINTER VALUE (=CB <sub>i</sub> (j) STORAGE ADDRESS)
DATA FRAME INFORMATION PORTION STORAGE POINTER VALUE (=DT <sub>i</sub> (j) BUFFER START STORAGE ADDRESS)

F I G. 12

STORAGE POINTER VALUE OF TRANSMISSION FRAME CONTROL BLOCK TCB <sub>i</sub> (j) INDICATING HIGHEST URGENCY
TOTAL NUMBER OF LINKED CONTROL BLOCKS TCB <sub>i</sub>

F I G. 13

STORAGE POINTER VALUE OF FIRST TRANSMISSION FRAME CONTROL BLOCK TCB <sub>i</sub>
STORAGE POINTER VALUE OF LAST TRANSMISSION FRAME CONTROL BLOCK TCB <sub>i</sub>
TOTAL NUMBER OF LINKED CONTROL BLOCKS TCB <sub>i</sub>

F I G. 14

FIRST STATION TRANSMISSION/RECEPTION PROCESSING TIME INFORMATION	
FIRST STATION TRANSMISSION PROCESSING TIME ( $T_x$ )	MAXIMUM VALUE
DITTO	MINIMUM VALUE
FIRST STATION RECEPTION PROCESSING TIME ( $T_r$ )	MAXIMUM VALUE
DITTO	MINIMUM VALUE
TRANSFER TIME FROM FIRST STATION TO SECOND STATION ( $T_{xf}$ )	MAXIMUM VALUE = 0
DITTO	MINIMUM VALUE = 0
TRANSFER TIME FROM FIRST STATION TO THIRD STATION	MAXIMUM VALUE
DITTO	MINIMUM VALUE
TRANSFER TIME FROM FIRST STATION TO $n$ TH STATION	MAXIMUM VALUE
DITTO	MINIMUM VALUE
SECOND STATION TRANSMISSION/RECEPTION PROCESSING TIME INFORMATION	
$n$ TH STATION TRANSMISSION/RECEPTION PROCESSING TIME INFORMATION	
$n$ TH STATION TRANSMISSION PROCESSING TIME ( $T_x$ )	MAXIMUM VALUE
DITTO	MINIMUM VALUE
$n$ TH STATION RECEPTION PROCESSING TIME ( $T_r$ )	MAXIMUM VALUE
DITTO	MINIMUM VALUE
TRANSFER TIME FROM $n$ TH STATION TO FIRST STATION ( $T_{xf}$ )	MAXIMUM VALUE
DITTO	MINIMUM VALUE
TRANSFER TIME FROM $n$ TH STATION TO SECOND STATION	MAXIMUM VALUE
DITTO	MINIMUM VALUE

FIG. 15

RECEPTION FRAME CONTROL BLOCK/CHAIN CONTROL AREA
IMMEDIATELY PRECEDING RCB1(j) STORAGE POINTER VALUE (PRE)
SUCCEEDING RCB1(j) STORAGE POINTER VALUE (NEXT)
TRANSMISSION/RECEPTION COMPLETION DISPLAY (RSTATUS)
DATA FRAME STORAGE POINTER VALUE
ELAPSED TIME INFORMATION AREA
MARGIN TIME AREA (Tds)

FIG. 16

STORAGE POINTER VALUE OF RECEPTION FRAME CONTROL BLOCK RCB1(j) INDICATING HIGHEST URGENCY
TOTAL NUMBER OF LINKED CONTROL BLOCKS RCB1

FIG. 17

STORAGE POINTER VALUE OF FIRST RECEPTION FRAME CONTROL BLOCK RCB1
STORAGE POINTER VALUE OF LAST RECEPTION FRAME CONTROL BLOCK RCB1
TOTAL NUMBER OF LINKED CONTROL BLOCKS RCB1

FIG. 18

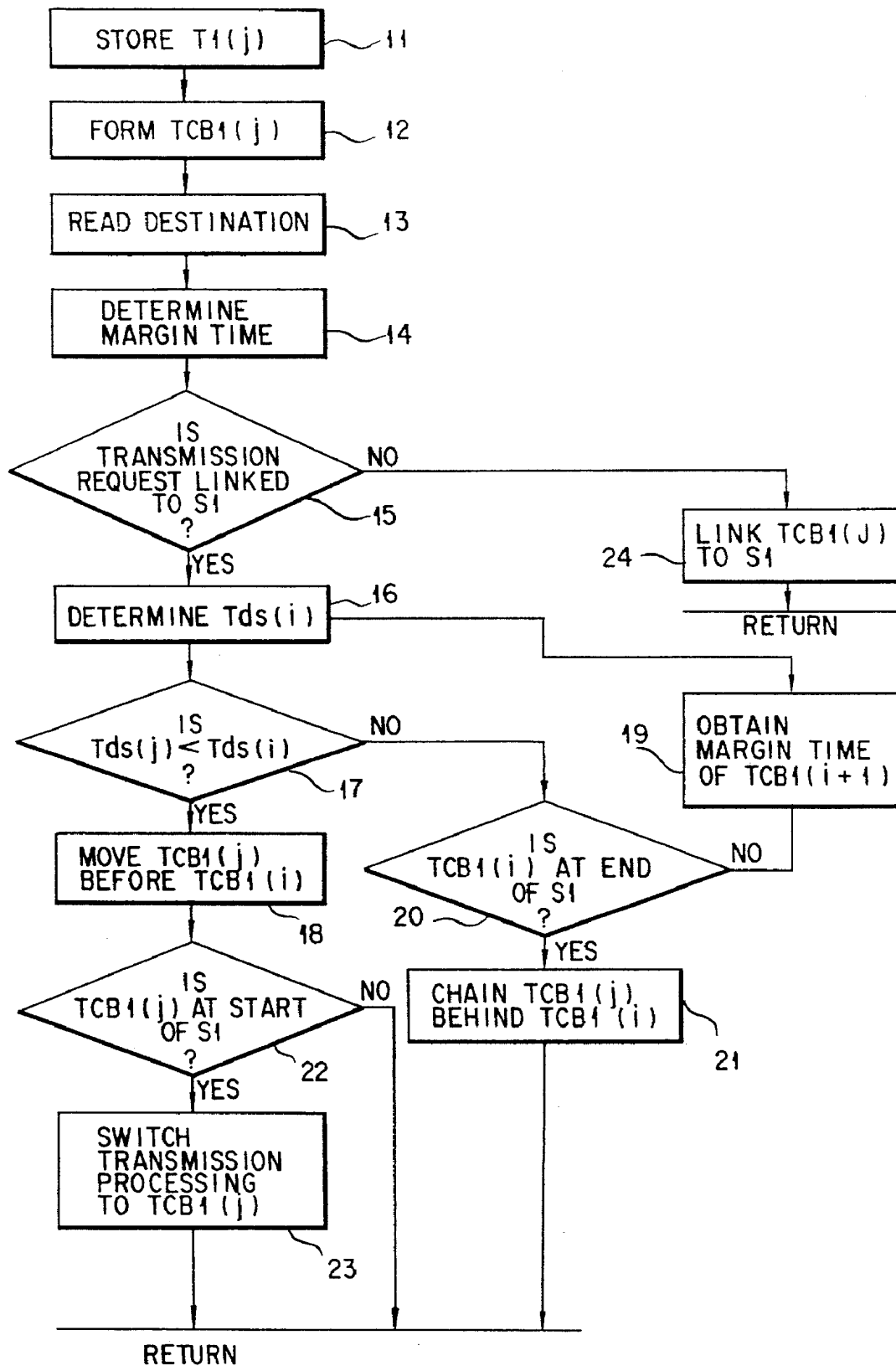
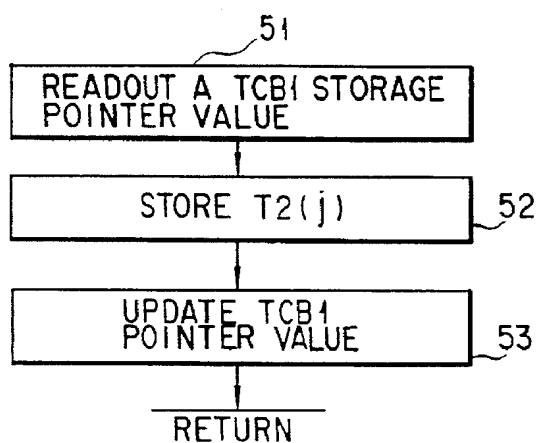
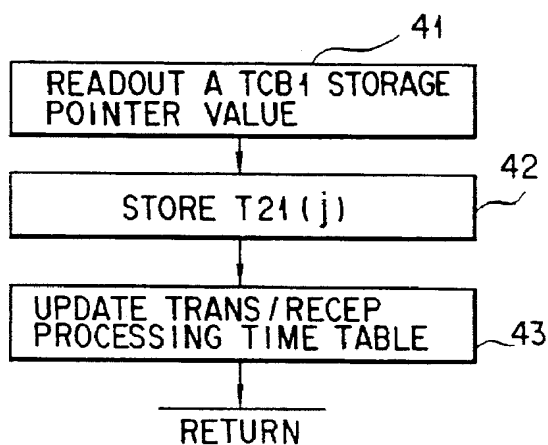
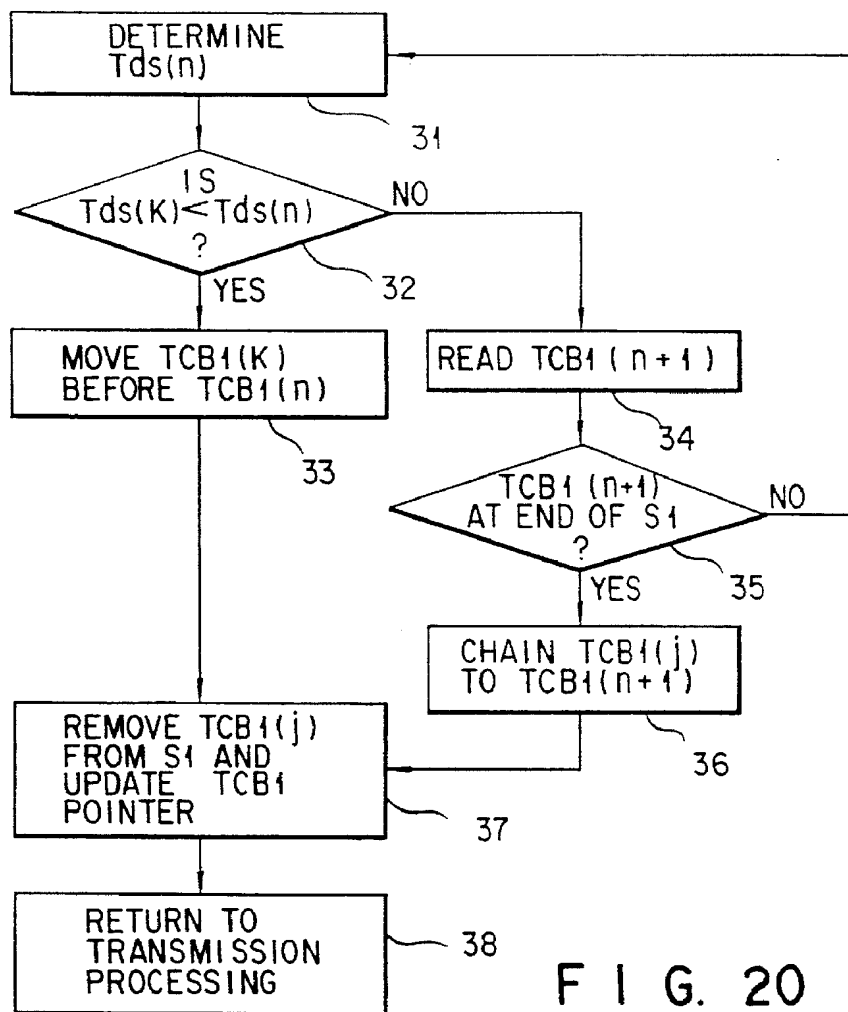
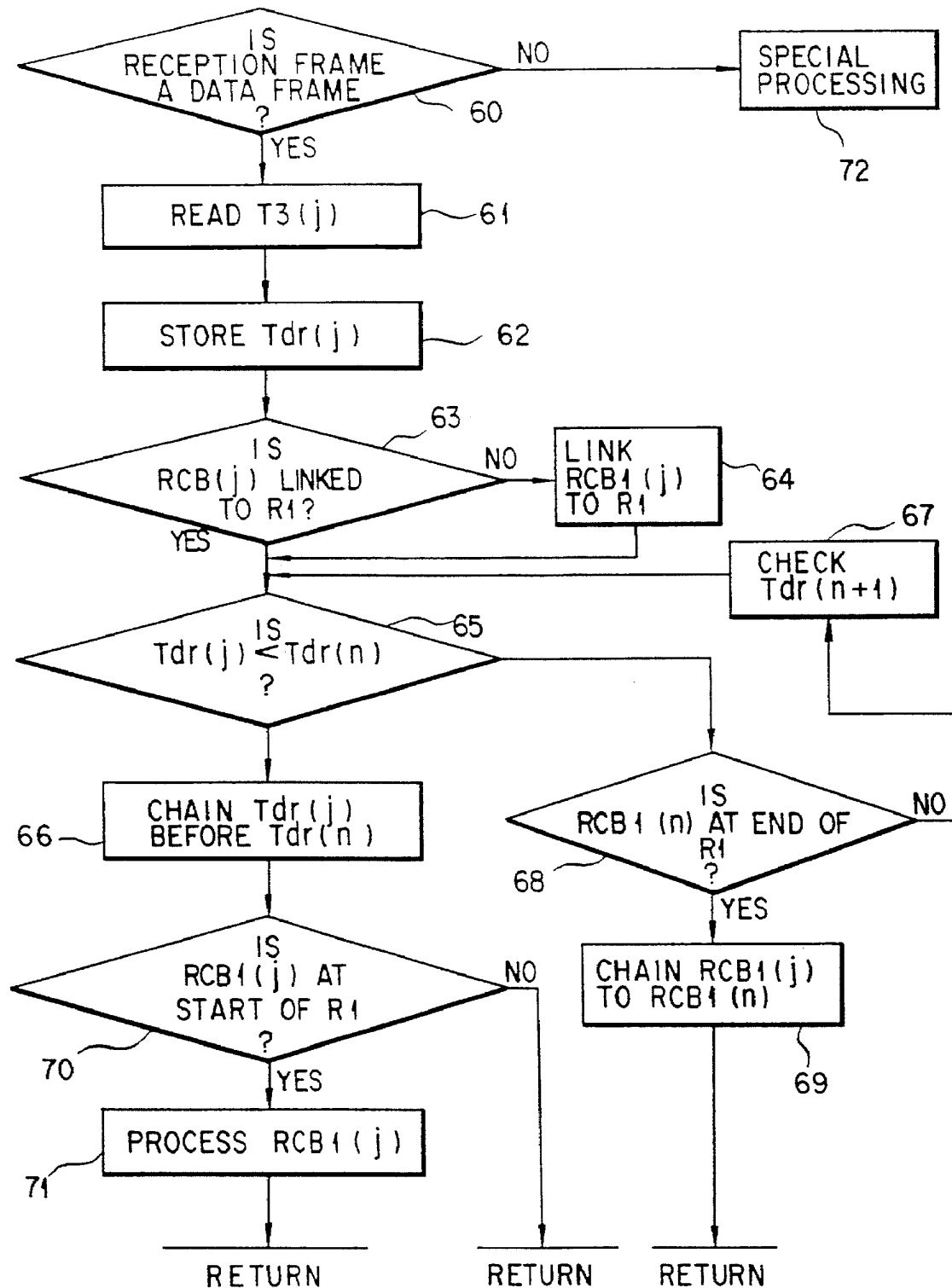
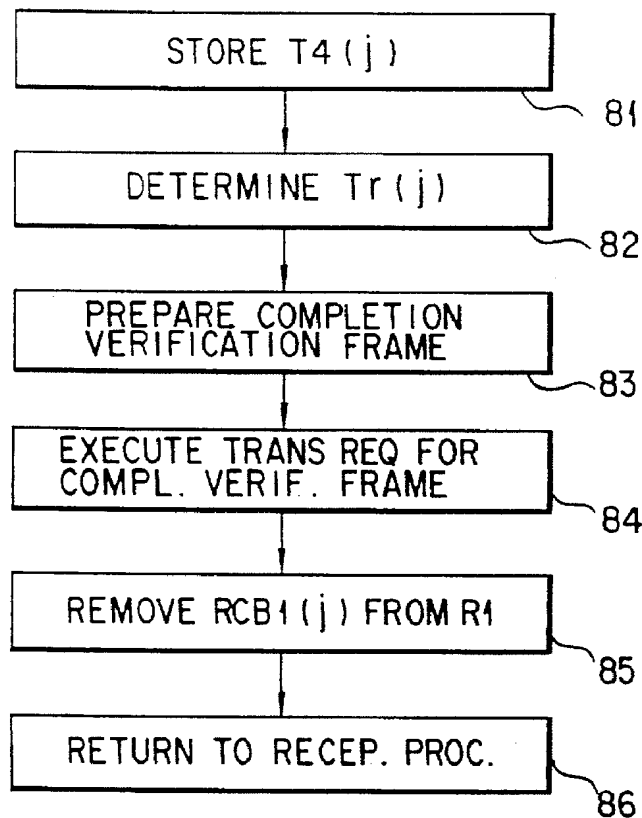


FIG. 19

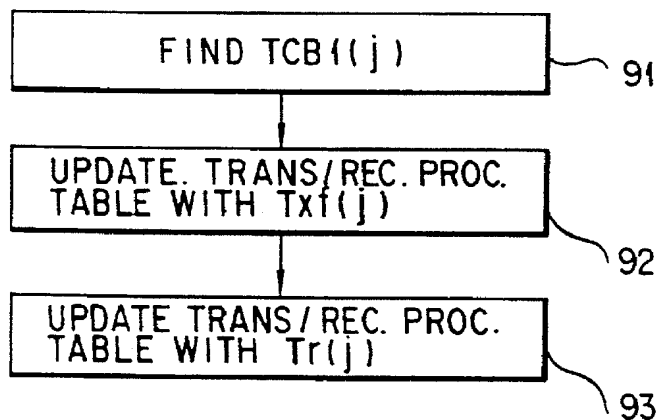




F I G. 23



F I G. 24



F I G. 25

TRANSMISSION DATA BUFFER/CHAIN CONTROL AREA
START/INTERMEDIATE/END DISPLAY AREAS OF TRANSMISSION DATA
INTRA-BUFFER INFORMATION PORTION DATA COUNT FOR TRANSMISSION DATA
INFORMATION PORTION (K) OF TRANSMISSION DATA DT1(j)

FIG. 26

CONTROL BLOCK CB1 BUFFER/CHAIN CONTROL AREA
DATA FRAME ID CODE
DESTINATION ADDRESS
FREE AREA
TRANSMISSION COMMAND
IDENTIFIER A1 (=Tx(j))
ELAPSED TIME INFORMATION AREA (=TIM1(j))
TRANSMISSION DATA DT1(j) STORAGE POINTER VALUE
TOTAL DATA COUNT CONTROL AREA OF TRANSMISSION DATA DT1(j) (=CNT1(j))

FIG. 27

[PREAMBLE] [START DELIMITER] [FRAME CONTROL=DATA FRAME]  
 [DESTINATION ADDRESS] [SOURCE ADDRESS] [INFORMATION PORTION]  
 [FCS:FRAME CHECK SEQUENCE] [END DELIMITER]

FIG. 28



TRANSMISSION FRAME CONTROL BLOCK/CHAIN CONTROL AREA
DATA FRAME HEADER INFORMATION PORTION STORAGE POINTER VALUE (=CB1(j) STORAGE ADDRESS)
DATA FRAME INFORMATION PORTION STORAGE POINTER VALUE (=DT1(j) BUFFER START STORAGE ADDRESS)

FIG. 29

PRECEDING R1(j) STORAGE POINTER VALUE (PRE)
SUCCEEDING R1(j) STORAGE POINTER VALUE (NEXT)
CB1(j) STORAGE POINTER VALUE

FIG. 30

TRANSMISSION REQUEST R1(j) STORAGE POINTER INDICATING HIGHEST URGENCY
TOTAL NUMBER OF LINKED TRANSMISSION REQUESTS R1
STORAGE POINTER VALUE (NEXT P) OF TRANSMISSION REQUEST R1(j) TO BE FORMED NEXT TO IDENTIFIER A2 WHICH HAS BEEN FORMED

FIG. 31

FREE AREA
MEDIA ACCESS REQUEST FRAME ID CODE
DESTINATION ADDRESS (=BROADCAST ADDRESS)
SELF-STATION ADDRESS
TRANSMISSION COMMAND
FREE AREA
IDENTIFIER A2 START STORAGE POINTER VALUE (=ADR 22)
NUMBER (=N) OF TRANSMISSION REQUESTS INCLUDED IN IDENTIFIER A2
IDENTIFIER A1 VALUE CORRESPONDING TO ABSENCE OF TRANSMISSION REQUEST

F I G. 32

TRANSMISSION DATA BUFFER/CHAIN CONTROL AREA
START/INTERMEDIATE/END DISPLAY OF TRANSMISSION DATA
TRANSMISSION BUFFER INTRA-BUFFER INFORMATION PORTION DATA COUNT (=1)
TO (j) VALUE=TN CORRESPONDING TO TRANSMISSION REQUEST HAVING NTH URGENCY
FREE AREA

F I G. 33

[ PREAMBLE ] [ START DELIMITER ]  
[ FRAME CONTROL = MEDIA ACCESS REQUEST ]  
[ DESTINATION ADDRESS ] [ SOURCE ADDRESS ]  
[ INFORMATION PORTION INCLUDING IDENTIFIER A2 ]  
[ FCS : FRAME CHECK SEQUENCE ] [ END DELIMITER ]

F I G. 34

TRANSMISSION FRAME CONTROL BLOCK/CHAIN CONTROL AREA
HEADER INFORMATION STORAGE POINTER VALUE (= ADR 21)
INFORMATION PORTION STORAGE POINTER VALUE (= ADR 22)

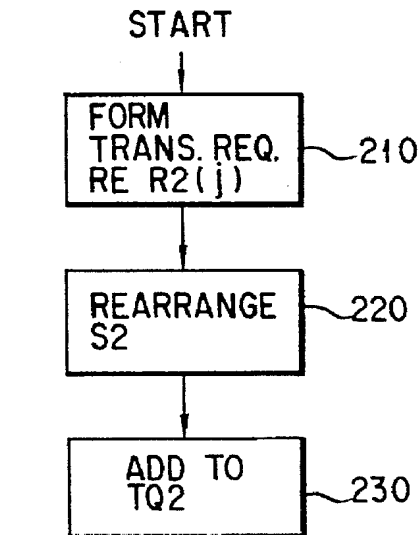
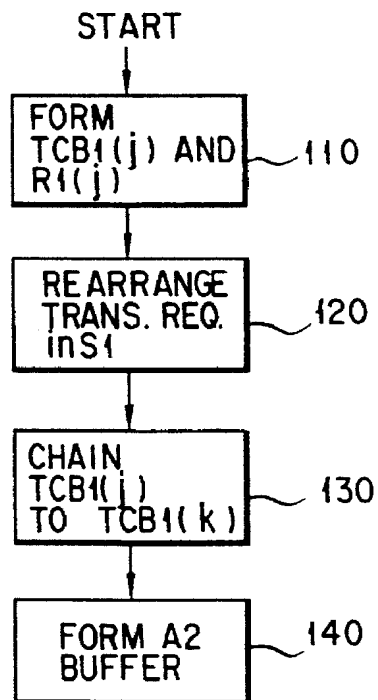
F I G. 35

IMMEDIATELY PRECEDING R2 (j) STORAGE POINTER VALUE (PRE)
SUCCEEDING R2 (j) STORAGE POINTER VALUE (NEXT)
FREE AREA
TRANSMISSION CONTROL STATION ADDRESS IN REQUESTING STATE
PRIORITY K OF URGENCY IN TRANSMISSION CONTROL STATION
IDENTIFIER A1 VALUE (= TK) CORRESPONDING TO URGENCY PRIORITY K

F I G. 36

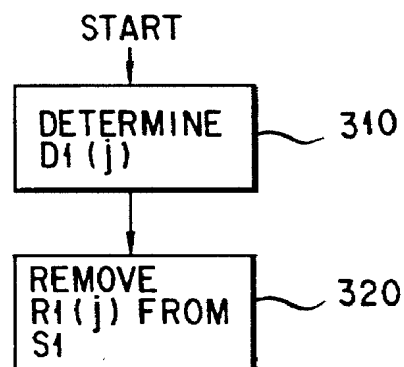
TRANSMISSION REQUEST R2 (j) STORAGE POINTER VALUE INDICATING HIGHEST URGENCY
TOTAL NUMBER OF LINKED TRANSMISSION REQUESTS R2

F I G. 37



F I G. 39

F I G. 38



F I G. 40

# **TIMELY PROCESSING OF TRANSMISSION AND RECEPTION REQUESTS IN A MULTI-NODE COMMUNICATION NETWORK**

## **BACKGROUND OF THE INVENTION**

### **1. Field of the Invention**

The present invention relates to a data transmission method and apparatus.

### **2. Description of the Related Art**

As the power of local processors increases, local area network (LAN) technology has been utilized to interconnect such processors in extremely powerful networks. LANs have been employed to pass information within an office or to control automated factories.

When data must be supplied in a timely manner, a token passing scheme has commonly been employed within the LAN. In this scheme, each transmission control station acquires a transmission right within a predictable predetermined period of time to be allowed to perform data transmission.

The token passing LAN has commonly been implemented either as a bus type LAN defined by ISO 88024 or IEEE 802.4 standard or a ring type LAN defined by ISO 9314 or ANSI X3T9.5 standard.

In the token passing scheme, a frame called a token is transmitted/received among nodes so that a transmission right is sequentially transferred to the respective nodes. That is, a plurality of nodes do not acquire the transmission right at the same time. Upon receiving the token, a given node transmits data within a preset period of time. Therefore, each node can calculate the maximum time it will have to wait until its station can transmit data on the basis of the total number of nodes and a preset wait time of each node. Every node can transmit data without fail according to a transmission sequence. As a result, deterministic media access control can be performed.

Each node stores the address of a succeeding node (succeeding station) to which its station is to transfer the token, and the address of a preceding node (preceding station) from which the token has been transferred to its station. The token is sequentially transferred to the respective nodes as if the nodes were connected to each other, thus forming a logical ring. Therefore, in the token passing scheme, various types of LAN configurations such as bus, ring and star network configurations can be employed.

Furthermore, the token passing scheme has a priority processing function of assigning data (to be transmitted) to normally four types of access classes according to their transmission priorities, designated access classes 6, 4, 2, and 0. Access class 6 has the highest priority, and the priorities of access classes 4, 2, and 0 decrease in this order. Data waiting for transmission can be classified into four types of queues. Transmission of access class 6 data can be performed at any time within a token holding time defined by the token passing protocol. That is, class 6 data can be transmitted any time a node has the token. Transmission of access classes 4, 2, and 0 data can be performed during a time interval between the instant at which a token is received and the instant at which the target token rotation timer of each access class has elapsed. When the token is received by each class within a node, the target token rotation timer for that class begins measuring the length of time until the token returns. The target token rotation timer elapses when a

maximum period of time has passed for the token to make a complete circuit of the ring. That is, each target token rotation time value is determined on the basis of the time it takes for the token to rotate through the logical ring.

More specifically, when a given node receives the token, a queue with access class 6 is serviced and corresponding data is transmitted. If no data needs to be transmitted or all class 6 data has been transmitted and the token holding time has not expired, the token is transferred to a lower access class within the node. At lower access classes 4, 2, or 0, if the token returns within the target token rotation time for that class, data with a corresponding access class can be transmitted until the corresponding target token rotation time elapses. If the token returns after the target token rotation time has elapsed, data with a corresponding access class cannot be transmitted even if the token is received.

In this case, the token is transferred to a lower access class or a succeeding node. More specifically, each access class operates like a virtual sub-station in each node. After the token is passed among all the access classes in each node, from the access class having the highest priority to the access class having the lowest priority, it is transferred to a succeeding station.

An algorithm for servicing access classes is performed using the token holding timer for the node, a temporary token holding timer which is used by each class and the target token rotation timer for each class. More specifically, when the token passes to an access class within a node, any time remaining in the target token rotation timer for that class is transferred to the temporary token holding timer. Then, the target token rotation timer for that class is reset. Data from that class can then be transmitted until the time in the temporary token holding timer expires (or until the token holding timer for the node expires). In this case, transmission from a given class influences the next token rotation time of that class. If time remains in the temporary token holding timer, data can be transmitted for that class until the temporary token holding timer causes time out or all data for that class has been transmitted. If the temporary token holding timer causes time out or all data for that class has been transmitted, a service of the next access class is started when a service of an access class of the lowest level is completed, the token is transferred to the succeeding node.

In the token passing scheme defined by the ISO 88024 (IEEE 802.4) standard or the ISO 9314 (ANSI X3T9.5 FDDI) standard, each transmission control station measures a token rotation time by using an internal timer, and determines a busy state of a transmission path by comparing the measured time with a preset predictive time. If it is determined that the transmission path is not busy, data frames are transmitted in accordance with priorities of each transmission control station.

In transmission/reception processing at transmission apparatuses on the token passing LAN, data waiting for transmission are arranged in a transmission queue in an order in which transmission requests are received, and are sequentially processed for transmission in the same order. The data are then rearranged in the transmission queue in accordance with access classes and are sent to the transmission path by the above-described media access control in order.

When the data are to be received and processed, the data are arranged into a reception queue in an order in which they are received, and are processed in order.

In this case, the transmission/reception processing includes conversion/inverse-conversion between the format

of data received from, e.g., a host unit and a common format of a transmission system. Examples of such conversions include addition and deletion processing of control information and identification information required to constitute a data frame and control a transmission sequence, as well as error information for guaranteeing accurate transmission, start and end processing of a monitor sequence for monitoring a transmission sequence, buffer ensuring and releasing processing for transmission/reception data frames, sequence start and end processing for ensuring, maintaining and canceling logical connection with a station at the transmitting/receiving end, and the like.

Note that transmission processing and reception processing are not preferentially performed according to the order in which data is needed at another location on the LAN. If, therefore, a large number of transmission requests having low urgencies are generated, data having high priorities cannot always be transmitted within the periods of time in which the data is needed.

Furthermore, in the above token passing scheme, media access control is distributed in all transmission control stations. Each transmission station determines for itself whether the transmission path is busy. If it is not busy, data frames are transmitted according to their priorities among the other data frames to be transmitted at each transmission control station. In other words, each transmission control station transmits data according to priority levels within that station, without knowing how the timing in which data of a given transmission request is needed compares to the timing in which data of other transmission requests is needed elsewhere in the system.

Therefore, even data having a high urgency in the overall system may be transmitted after other data having lower priorities.

### SUMMARY OF THE INVENTION

The present invention has been made in consideration of the above situation, and has as its object to provide a data transmission method and apparatus which preferentially performs transmission/reception processing with respect to transmission/reception requests within each node for data needed soonest, and can preferentially transmit data needed most soon as compared to other data to be transmitted over the entire system.

In order to achieve the above object, in the present invention, the order is determined in which data associated with transmission/reception requests must be processed so as to be available when needed. Then, the transmission/reception requests are rearranged in that order. Transmission/reception processing is performed on the transmission/reception requests in the rearranged order.

When determining the order of the requests, the order in which data of transmission requests must be sent so as to be received when needed may be taken into consideration. When the order is being determined, either the absolute time at which data is needed or the period until data is needed may be utilized to determine the order.

Not only may the present invention be employed at a station level, but it may also be employed on a system level. That is, the urgency of a transmission request at a given station may be compared with the urgency of transmission requests at other stations. Then, data is transmitted corresponding to the transmission request of the given station when the urgency of the transmission request of the given

station is higher than the urgency of the transmission request at the remaining stations.

Of course, the present invention may be practiced at both the station level and the network level at the same time.

Additional objects and advantages of the invention will be set forth in the description which follows, and in part will be obvious from the description, or may be learned by practice of the invention. The objects and advantages of the invention may be realized and obtained by means of the instrumentalities and combinations particularly pointed out in the appended claims.

### BRIEF DESCRIPTION OF THE DRAWINGS

The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate presently preferred embodiments of the invention, and together with the general description given above and the detailed description of the preferred embodiments given below, serve to explain the principles of the invention, in which:

FIG. 1 is a block diagram showing a system arrangement for explaining the basic concept of the present invention;

FIG. 2 is a view for explaining the basic concept of a transmission stack according to the present invention;

FIG. 3 is a view for explaining procedures for rearranging a transmission queue according to urgencies in transmission processing according to the present invention;

FIG. 4 is a view for explaining determination processing of urgencies in transmission according to the present invention;

FIG. 5 is a view for explaining procedures for rearranging a reception queue according to urgencies in reception processing according to the present invention;

FIGS. 6A and 6B are flow charts for explaining the basic concept of the present invention;

FIG. 7 is a block diagram showing an arrangement of a data transmission system according to the present invention;

FIG. 8 is a block diagram showing a transmission apparatus constituting a data transmission system according to the first embodiment of the present invention;

FIG. 9 is a view showing a buffer for storing transmission data DT1(j) in the first embodiment;

FIG. 10 is a view showing a control block CB1(j) in the first embodiment;

FIG. 11 is a view showing a data frame D1(j) in the first embodiment;

FIG. 12 is a view showing a transmission frame control block TCB1(j) in the first embodiment;

FIG. 13 is a view showing a transmission queue S1 in the first embodiment;

FIG. 14 is a view showing a transmission queue control word in the first embodiment;

FIG. 15 is a view showing a transmission/reception processing time table in the first embodiment;

FIG. 16 is a view showing a reception frame control block RCB1 in the first embodiment;

FIG. 17 is a view showing a reception queue R1 in the first embodiment;

FIG. 18 is a view showing a reception queue control word in the first embodiment;

FIG. 19 is a flow chart showing transmission request interrupt processing in the first embodiment;

FIG. 20 is a flow chart showing processing upon completion of transmission processing in the first embodiment;

FIG. 21 is a flow chart showing data frame transmission start interrupt signal processing in the first embodiment;

FIG. 22 is a flow chart showing data frame transmission completion interrupt signal processing in the first embodiment;

FIG. 23 is a flow chart showing data frame normal reception completion interrupt signal processing in the first embodiment;

FIG. 24 is a flow chart showing processing upon completion reception processing in the first embodiment;

FIG. 25 is a flow chart showing completion verification frame reception processing in the first embodiment;

FIG. 26 is a view showing a buffer for a transmission data DT1(j) in the second embodiment of the present invention;

FIG. 27 is a view showing a control block CB1(j) in the second embodiment;

FIG. 28 is a view showing a data frame D1(j) in the second embodiment;

FIG. 29 is a view showing a transmission frame control block TCB1(j) in the second embodiment;

FIG. 30 is a view showing a transmission request R1(j) in the second embodiment;

FIG. 31 is a view showing a transmission queue S1 in the second embodiment;

FIG. 32 is a view showing an identifier A2 control block CB2 in the second embodiment;

FIG. 33 is a view showing an identifier A2 information area buffer in the second embodiment;

FIG. 34 is a view showing a media access request frame F1 in the second embodiment;

FIG. 35 is a view showing a transmission frame control block TCB2 in the second embodiment;

FIG. 36 is a view showing a media access request R2(j) in the second embodiment;

FIG. 37 is a view showing a transmission queue S2 in the second embodiment;

FIG. 38 is a flow chart showing processing to be performed when a transmission request is received from a host unit in the second embodiment;

FIG. 39 is a flow chart showing processing to be performed when the media access request frame F1 is received in the second embodiment; and

FIG. 40 is a flow chart showing processing to be performed when a token frame is received in the second embodiment.

#### DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

The basic concept of the present invention will be described below with reference to FIGS. 1 to 6 prior to a description of embodiments.

FIG. 1 shows the schematic arrangement of a system. A transmission stack As and a reception stack Ar are connected to an application process A. The transmission stack As and the reception stack Ar are connected to a common transmission path through a common transmission path control section Am. Similarly, a transmission stack Bs and a reception stack Br are connected to an application process B. The transmission stack Bs and the reception stack Br are con-

nected to the common transmission path through a common transmission path control section Bm.

As shown in FIG. 2, when the application process A generates a request to transmit predetermined data to the application process B at time T0, a margin time Tds0 is determined on the basis of the difference between time T0 and the current timing. This request is transmitted to the transmission stack As to be added to a transmission queue already formed. In this case, if the current timing is time T1, a margin time Tds1 is determined on the basis of the difference between time T0 and time T1. In the transmission stack As, it is determined that the urgency of a transmission request having a short margin time is higher than that of a transmission request having a long margin time, and the transmission queue is arranged in an order of shorter margin times.

Assume that transmission requests are ordered according to margin times of 5, 7, 8, 10, 12, and 13 to constitute a transmission queue. In this case, if a transmission request having a margin time of 6 is sent to the transmission stack As, the queue is rearranged in an order of margin times of 5, 6, 7, 8, 10, and 12. See FIG. 3.

As described above, in transmission processing, a transmission queue is not arranged in the order in which transmission requests are received but is arranged in the order in which data must be sent so that the data needed the soonest is received first.

If the time required for one rotation of a token is 2, the margin times change to 3, 4, 5, 6, 8, and 10 after one rotation of the token.

When the token rotates around the ring once and is received again by a given station, a transmission request of the station is compared with transmission requests of remaining stations. Transmission queues of nodes N1, N2, N3, and N4 are stored in a common memory, as shown in FIG. 4. In this case, the urgency of each of the start transmission requests of the nodes N1, N2, N3, and N4 is compared with that of the start transmission request of the given station. That is, each of minimum margin times of 4, 10, 6, and 7 is compared with a margin time of 3. In this case, since the transmission request of the given station has the highest urgency, a data frame of the given station is transmitted.

If the urgency of the transmission request of the given station is lower, i.e., the margin time is longer, the received token is passed to the succeeding node, and it is determined whether the urgency of a transmission request of the station in the node to which the token has been passed is high. If the transmission request has the highest urgency, a data frame of the corresponding station is transmitted.

The given station does not transmit until the urgency of its transmission request becomes higher than that of each of the transmission requests of the remaining stations. In this case, while the token is rotated, the given station waits until the urgency of its transmission request becomes the highest. When the urgency of the transmission request of the given station becomes higher than that of each of the transmission requests of the remaining stations, a data frame corresponding to the transmission request of the given station is transmitted.

As described above, in transmission processing, it is determined whether the urgency of a transmission request of the given station is high in the overall system. If it is determined that the urgency is high in the overall system, data of the given station is transmitted.

In reception processing, the same operation as in transmission processing is performed. More specifically, assume

that the reception queue shown in FIG. 5 is arranged. Each number indicates a margin time corresponding to an urgency. In this case, when new data having a margin time of 2 is received, the reception queue is rearranged. Since the data having a margin time of 2 has the highest urgency, it is arranged at the start position of the reception queue to be serviced first. The data is then preferentially sent to the application process B.

In a manner similar to transmission processing, data in reception processing are not processed in the order in which they are received but are processed in the order of urgency.

In the above description, margin times correspond to the order in which data is sent so that the data needed soonest is received first. However, the present invention is not limited to this. For example, the order in which data is sent can more simply correspond to the timings (request timings) at which data are to be sent to the application process B.

The concept of the present invention will be described in more detail below with reference to the flow diagram shown in FIGS. 6A and 6B.

If the application process A generates a transmission request having a margin time (deadline) Tds0 with respect to the application process B, the transmission stack As rearranges the transmission queue on the basis of the margin time Tds0, and performs transmission processing of a transmission request having the highest urgency first. This rearrangement processing is performed on the basis of predictive times calculated from past actual time values.

The transmission stack As subtracts the time taken to perform the transmission processing from the margin time Tds0 to set a new margin time Tds1. In this case, the overall transmission requests of the system are rearranged on the basis of the margin time Tds1 in the order of urgencies. This rearrangement processing is executed in consideration of transmission requests of the respective stations, which vary as network common information with time with the rearrangement processing, a transmission right is assigned to a transmission request having the highest urgency at the current timing point from the viewpoint of the overall system. In this case, a margin time Tds2 is a time obtained by subtracting the time taken to perform the rearrangement processing and the time required to receive the token from the margin time Tds1. The margin time Tds2 varies with time.

Subsequently, the transmission of frames including data having high urgencies is started within the time determined by media access control (MAC) of Timed-Token Pass. The frames are respectively transmitted to designated nodes. At the same time, a frame for updating the common information of the overall system including the given station, i.e., the overall network, is transmitted to each station.

The data transmitted to the common transmission path control section Bm is queued to the reception queue and its urgency is determined on the basis of a margin time Tds3 in consideration of the time required for reception processing in the reception stack Br. The reception queue is rearranged according to the determined urgency, and data having the highest urgency is subjected to reception processing first. The margin time Tds3 is a time obtained by subtracting the transmission time from the margin time Tds2.

The data preferentially subjected to reception processing is supplied to the application process B to be received/displayed.

As described above, according to the present invention, data to be preferentially subjected to transmission/reception processing are determined on the basis of their margin times,

and data which are determined to have high urgencies in the overall system are preferentially transmitted. Therefore, the system can be efficiently used, and data having high urgencies can be preferentially transmitted.

A data transmission method and apparatus according to the first embodiment of the present invention will be described below with reference to the accompanying drawings. In the first embodiment, the urgencies of transmission/reception processing of a plurality of data in each transmission apparatus are determined on the basis of margin times obtained from the request timings at which the data are required, the predictive times required to perform data transmission/reception and data transfer, and the current timing. Data having high urgencies are preferentially subjected to transmission reception processing.

As a transmission system configuration to which the present invention is applied, a ring network configuration is employed. In this configuration, transmission apparatuses are connected to each other through a common transmission path, as shown in FIG. 7. It is, however, clear that network configurations other than the configuration shown in FIG. 7, e.g., bus and star network configurations, can be employed. Referring to FIG. 7, reference symbol STN indicates a transmission apparatus.

As shown in FIG. 8, each transmission apparatus comprises a transmission/reception circuit (XCVR) 10 connected to a common transmission path. A token passing transmission controller (CKT1) 12 performs token passing system media access control. A transmission/reception buffer RAM memory (BRAM) 14 stores transmission/reception frame data. The transmission/reception control RAM common memory (CM1) 16 stores control data required for transmission/reception control and processing and media access control. A host request interface circuit (HIF) 18 interfaces transmission requests from host units connected thereto. Timers (CLK and CLK1) 20 and 22 in each transmission apparatus perform a common time measuring operation. A control microprocessor (MPU) 24 performs transmission/reception processing and transmission reception control of the token passing transmission controller 12. A ROM program memory (MROM) 26 stores processing programs for the control microprocessor 24. A MPU RAM memory (MRAM) 28 stores data required for processing. A token rotation timer residual value register (RTRT1) 30 holds a target token rotation timer residual value at the time of the reception of the token and allows it to be read out.

Reference symbol SIG0 denotes a token frame normal reception completion interrupt signal; SIG1, a transmission queue update inhibiting signal; SIG2, a data frame normal reception completion interrupt signal; SIG3, a transmission request interrupt signal; SIG4, a count clock interrupt signal; SIG5, a data frame transmission completion interrupt signal; and SIG6, a data frame transmission start interrupt signal.

In order to allow the control microprocessor 24 to perform transmission/reception priority processing, data tables or structures for control, formed in the transmission/reception control RAM common memory 16, the transmission/reception buffer RAM memory 14, or the MPU RAM memory 28, are designed as follows.

A data transmission request to each transmission apparatus is constituted by data DT1(j) to be transmitted, which is shown in FIG. 9, and a control block CB1(j) in FIG. 10. The data DT1(j) and the Control block CB1(j) are stored in the transmission reception buffer RAM memory 14. The control block CB1(j) includes information required for transmission



control corresponding to the data DAT1(j), e.g., a destination address and a control command. Note that in the control block CB1(j), information required to execute the control scheme of the present invention is added to a control area CNT1(j) and an elapsed time information area TIM1(j), as needed. In addition, the transmission data DT1(j) is stored in one or more chained transmission buffers 14.

The control block CB1(j) includes a request timing value T0(j) at which the data DT1(j) is required for an application process of another station, and a margin time value Tds(j) to be written on the basis of a priority determined according to transmission processing.

FIG. 11 shows an arrangement of the data frame D1(j). The data frame D1(j) is stored in the transmission/reception buffer RAM memory 14. Although the arrangement of data frame D1(j) constituted by the control block CB1(j) and the transmission data DT1(j) is not specifically limited, its information portion includes the request timing T0(j).

FIG. 12 shows a frame control code, header information such as destination and source addresses, which are included in the data frame D1(j), and a transmission frame control block TCB1(j) indicating a location in which the information portion is stored. The data included in the transmission frame control block TDB1(j) is required to form the data frame D1(j). When a plurality of data frames D1(j) are to be transmitted, transmission frame control blocks TCB1(j) corresponding to the plurality of data frames D1(j) are chained to each other by designating transmission chain control areas included in the transmission frame control blocks TCB1(j). The transmission frame control block TCB1(j) chain is then linked to the transmission queue of the token passing transmission controller 12. Thereafter, the plurality of data frames D1(j) are sent to the transmission path. The transmission frame control blocks TCB1(j) are stored in the transmission/reception control RAM common memory 16.

The transmission frame control blocks TCB1(j) corresponding to the data frames D1(j) are included in the control blocks CB1(j) and are arranged in the order of the shorter margin times Tds(j) indicating urgencies so as to be formed into a transmission queue S1. FIG. 13 shows an arrangement of the transmission queue S1. This transmission queue is stored in the transmission reception buffer RAM memory 14. FIG. 14 shows the arrangement of a transmission queue control word used by the token passing transmission controller 12. The transmission queue control word is stored in the transmission/reception control RAM common memory 16.

FIG. 15 shows an arrangement of a transmission reception processing time table in which transmission processing times Tx, transfer times Txf, and the maximum and minimum values of reception processing times Tr of the respective transmission apparatuses are listed according to the addresses of the transmission apparatuses as indexes. This table is stored in the MPU RAM memory 28.

FIG. 16 shows an arrangement of a reception frame control block RCB1 indicating the location of a data frame received by the token passing transmission controller 12 and set in the transmission/reception buffer RAM memory 14 through the transmission path. The reception frame control block RCB1 is stored in the transmission/reception buffer RAM memory 14.

When a plurality of data frames D1 are received, reception chain control areas included in the reception control blocks RCB1 corresponding to the respective data frames D1 are designated to chain the reception control blocks RCB1. The reception control block RCB1 chain is then

linked to the reception queue of the token passing transmission controller 12. In chaining of the reception control blocks RCB1 linked to the reception queue, priority determination based on margin times is performed by reception interrupt acceptance processing by the microprocessor 24 which has accepted the data frame normal reception completion interrupt signal SIG2, and the resultant chain is linked to the reception queue R1.

FIG. 17 shows an arrangement of the reception queue R1. FIG. 18 shows an arrangement of a reception queue control word. The reception queue R1 is stored in the transmission/reception buffer RAM memory 14. The reception queue control word is stored in the transmission/reception control RAM common memory 16.

These data tables and frame arrangements are equally applied to completion verification frames.

Priority processing in transmission/reception is performed by using the above-described data tables. An operation of the data transmission apparatus of the present invention will be described next with reference to a flow chart. This priority processing is executed by the control microprocessor 24.

FIG. 19 shows the flow chart of transmission request interrupt processing. When a host unit connected to the transmission apparatus generates a transmission request (j) to transmit a data frame, the transmission data DT1(j) shown in FIG. 9 and the control block CB1(j) shown in FIG. 10 are written in the transmission/reception buffer RAM memory 14 through the host request interface circuit 18. In addition, the transmission request interrupt signal SIG3 is supplied to the control microprocessor 24.

In step 11, the control microprocessor 24, which has received the transmission request interrupt signal SIG3, reads out the current timing from the timer 22 and stores it, as a request acceptance timing T1(j), in the elapsed time information area of the control block CB1(j).

In step 12, the control microprocessor 24 forms the transmission frame control block TCB1(j) from the control block CB1(j) and the transmission data DT1(j).

In step 13, the control microprocessor 24 reads out a destination transmission apparatus address (k) written in the control block CB1(j). The control microprocessor 24 reads out a minimum value Tr(k)min of the reception processing time of the destination transmission apparatus and a maximum value Txf(K)max of the transmission time required for transmission to the destination transmission apparatus from the transmission/reception processing time table shown in FIG. 15 by using the readout address value as an index, and obtains a sum Ti(k) of the readout data.

In step 14, the control microprocessor 24 reads out a request timing T0(j) written in the control block CB1(j), obtains the difference between the readout data and the sum Ti(k), and stores it in the margin time area of the control block CB1(j).

In step 15, the control microprocessor 24 checks whether any transmission requests are already linked to the transmission queue S1 shown in FIG. 13. If the determination in step 15 is NO, it means that the new transmission request being processed will be the only transmission request in transmission queue S1. Therefore, the flow advances to step 24 to link the transmission frame control block TCB1(j) to be the only transmission frame control block in the transmission queue S1, thus starting the transmission processing program.

If the determination in step 15 is YES, then other transmission frame control blocks are already in transmission

queue S1, and it is necessary to insert the new transmission frame control block in the right order. Therefore, the flow advances to step 16. In step 16, the control microprocessor 24 sequentially checks the transmission frame control blocks TCB1 linked, as a chain to the transmission queue S1. More specifically, the control microprocessor 24 reads out a request timing T0(i) of each transmission frame control block TCB1(i). In addition, the control microprocessor 24 reads out the destination transmission apparatus, and reads out a minimum value Trmin of the reception processing time and a maximum value Txfmax of the transmission time from the transmission/reception processing time table by using the address value. The control microprocessor 24 obtains a sum Ti of the readout data, and calculates the difference between the request timing T0(i) and the sum Ti to obtain a margin time Tds(i).

In step 17, the control microprocessor 24 compares the already obtained margin time Tds(j) associated with the transmission/reception (j) and the margin time Tds(i) of a linked transmission request (i) to check whether the margin time Tds(j) is shorter (urgency is higher).

If the determination in step 17 is YES, the flow advances to step 18. In step 18, the control microprocessor 24 separates the transmission frame control block TCB1(i) from the transmission queue S1, and chains the transmission frame control block TCB1(j) to a position before the transmission frame control block TCB1(i).

In step 22, the control microprocessor 24 checks whether the transmission frame control block TCB1(j) is located at the start position of the transmission queue S1. If the determination step 22 is YES, the flow advances to step 23 to interrupt transmission processing corresponding to the transmission frame control block TCB1 and switch to transmission processing corresponding to the transmission frame control block TCB1(j).

If the determination in step 22 is NO, the control microprocessor 24 continues the transmission processing currently performed.

If it is determined in step 17 that the margin time Tds(j) is longer, the flow advances to step 20, and the control microprocessor 24 checks whether the transmission frame control block TCB1(i) is located at the end position of the transmission queue S1. If the determination in step 20 is YES, the flow advances to step 21 to chain the transmission frame control block TCB1(j) behind the transmission frame control block TCB1(i) and increment the total number of transmission frame control blocks linked to the transmission queue S1 by one.

If the determination in step 20 is NO, the flow advances to step 19. In step 19, the control microprocessor 24 checks a margin time associated with a transmission frame control block TCB1(i+1) chained next by using the chain control information of the transmission frame control block TCB1(i). The flow then returns to step 16. In step 16, the control microprocessor 24 executes the subsequent processing in accordance with the above-described flow chart.

If it is determined that the margin time Tds(j) associated with the transmission request (j) is equal to the margin time Tds(i) of the linked transmission request (i), the control microprocessor 24 rearranges the transmission queue S1 such that transmission processing is preferentially performed with respect to a transmission frame control block having a control block CB1 holding an earlier request acceptance timing T1 in its elapsed time information area.

Processing upon completion of transmission processing will be described below with reference to FIG. 20. This

processing is also executed by the control microprocessor 24. In the processing, when transmission processing is completed, i.e., the data frame associated with transmission frame control block TCB1(i) has been sent, the transmission frame control block TCB1(j) is removed from the transmission queue S1. That is, the TCB1 pointer value indicating the start transmission frame control block of the transmission queue S1 is updated to a TCB1 pointer value indicating a transmission frame control block TCB1(k) chained next.

It is then necessary to confirm that TCB1(k) remains the next most urgent data to be sent. To accomplish this the current margin time for TCB1(k) is compared to the margin times for the other frame control blocks in transmission queue S1.

In step 31, the control microprocessor 24 reads out a request timing T0(n), a corresponding transfer time Txf(n), and a reception time Tr(n) from a transmission frame control block TCB1(n) linked to the transmission queue of the transmission controller 12 so as to obtain a current margin time Tds(n).

In step 32, the control microprocessor 24 compares the margin time Tds(n) with the margin time Tds(j) of the transmission frame control block TCB1(j) to check whether the margin time Tds(j) is shorter (urgency is higher). If the determination in step 32 is YES, the flow advances to step 33 to separate the transmission frame control block TCB1(n) from the transmission queue and chain the transmission frame control block TCB1(j) before the transmission frame control block TCB1(n). Note that if the transmission queue update inhibiting signal SIG1 is issued, and transmission completion display (TSTATUS) data for the transmission frame control block TCB1 chained immediately before the transmission frame control block TCB1(n) is being transmitted, the transmission frame control block TCB1(j) is chained to the transmission frame control block TCB1(n) to rearrange the transmission queue.

The flow then advances to step 37. In step 37, the control microprocessor 24 removes the transmission frame control block TCB1(j) from the transmission queue S1 and updates the TCB1 pointer value indicating the start position of the transmission queue.

In step S38, the control microprocessor 24 causes the flow to return to the first step in transmission processing.

If it is determined in step 32 that the margin time Tds(j) is longer, the flow advances to step 34. In step 34, the control microprocessor 24 reads out a transmission frame control block TCB1(n+1) chained next by using the control information of the transmission frame control block TCB1(n).

The flow then advances to step 35, in which the control microprocessor 24 checks whether the transmission frame control block TCB1(n+1) is located at the end position of the transmission queue. If the determination in step 35 is YES, the flow advances to step 36 to chain the transmission frame control block TCB1(j) to the transmission frame control block TCB1(n+1). Note that if the transmission queue update inhibiting signal SIG1 is issued, and transmission completion display (TSTATUS) data for the transmission frame control block TCB1(n) is being transmitted, transmission of the transmission frame control block TCB1(j) is delayed until the next token reception timing.

If step 36 is completed, the flow advances to step 37. In step 37, the control microprocessor 24 performs the above-described processing.

If the determination in step 35 is NO, the flow returns to step 31, and the control microprocessor 24 proceeds with the processing in accordance with the above-described flow chart.

Data frame transmission start interrupt signal processing will be described below with reference to FIG. 21. This flow chart shows a case wherein the token passing transmission controller 12 receives the token and starts to send a data frame corresponding to the transmission frame control block TCB1(j) linked to the transmission queue to the transmission path. This processing is also executed by the control microprocessor 24.

In step 41, upon reception of the data frame transmission start interrupt signal SIG6 from the token passing transmission controller 12, the control microprocessor 24 reads out a TCB1 storage pointer value from the transmission queue word shown in FIG. 14, and checks whether the transmission completion display (TSTATUS) area data of the transmission frame control block TCB1(j) is being transmitted.

In step 42, the control microprocessor 24 reads out a data frame transmission start timing T21(j) from the timer 22 and stores it in the elapsed time information area of the control block CB1(j) corresponding to the transmission frame control block TCB1(j).

In step 43, control microprocessor 24 reads out a request acceptance timing T1(j) of the transmission frame control block TCB1(j), and calculates the difference between the readout data and the data frame transmission start timing T21(j) to obtain a transmission processing time Tx(j), thus updating the transmission/reception processing time table. In this case, the current value is compared with the maximum or minimum value registered in the past. If the current value is larger than the maximum value, the maximum value is updated by the current value. When the current value is smaller than the minimum value, the minimum value is updated by the current value.

Data frame transmission completion interrupt signal processing will be described next with reference to FIG. 22. This processing is also executed by the control microprocessor 24.

In step 51, upon reception of the data frame transmission completion interrupt signal SIG5, the control microprocessor 24 reads out a TCB1 storage pointer value from the transmission queue, and checks whether transmission of the transmission completion display (TSTATUS) area data of the transmission frame control block TCB1(j) is completed.

In step 52, the control microprocessor 24 reads out the data frame transmission completion timing T2(j) from the timer 22 and stores it in the elapsed time information area of the control block CB1(j) corresponding to the transmission frame control block TCB1(j).

In step 53, the control microprocessor 24 updates the TCB1 pointer value, of the transmission queue control word, indicating the start transmission frame control block to a TCB1 pointer value indicating a transmission frame control block chained next.

Transmission processing has been described above. Reception processing will be described below.

Data frame normal reception completion interrupt signal processing will be described below with reference to FIG. 23. This processing is also executed by the Control microprocessor 24.

In step 60, upon reception of the data frame normal reception completion interrupt signal SIG2, the control microprocessor 24 reads out a pointer value indicating a reception control block RCB1(j) from the reception queue and checks whether the reception frame stored in the transmission/reception buffer RAM memory 14 is a data frame. If it is not a data frame, the flow advances to step 72. In this

case, since the reception frame is a completion verification frame or a reception frame other than a data frame, the control microprocessor 24 starts a special reception processing program.

If the reception frame is a data frame, the flow advances to step 61 in which the control microprocessor 24 reads out a reception acceptance T3(j) from the timer 22.

In step 62, the control microprocessor 24 stores the reception acceptance timing T3(j) in the elapsed time information area of the reception control block RCB1(j). In addition, the control microprocessor 24 reads out a request timing T0(j) of the reception data frame, obtains the difference between the request timing T0(j) and the reception acceptance timing T3(j), and stores it, as a margin time Tdr(j), in the margin time area of the reception control block RCB1(j).

In step 63, the control microprocessor 24 checks whether a reception control block RCB1(j) is linked to the reception queue R1. If the determination in step 63 is NO, the flow advances to step 64. In step 64, the control microprocessor 24 links the reception control block RCB1(j) to the reception queue R1 and starts to execute the reception processing program.

If the determination in step 63 is YES, the flow advances to step 65. In step 65, the control microprocessor 24 compares a margin time Tdr(n) of a reception control block RCB1(n) linked to the reception queue R1 with the margin time Tdr(j) of the reception control block RCB1(j) to check whether the margin time Tdr(j) is shorter (urgency is higher).

If the determination in step 65 is YES, the flow advances to step 66. In step 66, the control microprocessor 24 separates the reception control block RCB1(n) from the reception queue R1 and chains the reception control block RCB1(j) before the reception control block RCB1(n).

In step 70, the control microprocessor 24 checks whether the reception control block RCB1(j) is located at the start position of the reception queue R1. If the determination in step 70 is NO, the control microprocessor 24 proceeds with the currently performed reception processing.

If the determination in step 70 is YES, the flow advances to step 71. In step 71, the control microprocessor 24 interrupts reception processing corresponding to the currently processed reception control block RCB1, and switches to reception processing corresponding to the reception control block RCB1(j).

If the determination in step 65 is NO, the flow advances to step 68. In step 68, the control microprocessor 24 checks whether the reception control block RCB1(n) is located at the end position of the reception queue R1. If the determination in step 68 is YES, the flow advances to step 69. In step 69, the control microprocessor 24 chains the reception control block RCB1(j) next to the reception control block RCB1(n) and increments the total number of reception control blocks linked to the reception queue R1 by one.

If the determination in step 68 is NO, the flow advances to step 67. In step 67, the control microprocessor 24 checks the margin time of a reception control block RCB1(n+i) chained next by using the chain information of the reception control block RCB1(n). Flow then returns to step 65 and the control microprocessor 24 executes the subsequent processing in accordance with the above-described flow chart.

Note that if it is determined in step 63 that the margin time Tdr(j) is equal to the margin time Tdr(i), the reception queue R1 is rearranged such that reception processing is preferentially performed with respect to the reception control block

15

RCB1 having an earlier reception acceptance timing T3 held in the elapsed time information area.

Reception completion processing will be described below with reference to FIG. 24. This processing is also executed by the control microprocessor 24. In step 81, the control microprocessor 24 reads out a reception completion timing T4(j) from the timer 22 and stores it in the elapsed time information area of the reception control block RCB1(j).

The flow then advances to step 82. In step 82, the control microprocessor 24 reads out the reception acceptance timing T3(j) from the elapsed time information area, and calculates a reception processing time Tr(j) by obtaining the difference between the reception acceptance timing T3(j) and the reception completion timing T4(j).

In step 83, the control microprocessor 24 reads out a destination address, an identifier for identifying a transmission request, and the like from the data frame stored in the transmission/reception buffer RAM 14, and forms a control block CB1 for a completion verification frame, and transmission data DT1 by using these readout data. The completion verification frame includes normal completion information, completion state information indicating that an error was caused during processing, and the processing could not be normally completed, and time information including the reception acceptance timing T3(j) of the data frame and the reception processing time Tr(j) taken to complete normal processing. The control microprocessor 24 sends the completion verification frame to the transmission station. The reception data which has undergone reception processing is transmitted to the host unit connected to the transmission apparatus through the host request interface circuit 18.

In step 84, the control microprocessor 24 starts to execute the transmission request.

The flow then advances to step 85, in which the control microprocessor 24 removes the reception control block RCB1(j) from the reception queue R1. That is, the control microprocessor 24 updates the RCB1 pointer value indicating the start reception control block of the reception queue R1 to an RCT1 pointer value indicating a reception control block chained next.

In step 86, the control microprocessor 24 causes the flow to return to the first step of reception processing.

In the source transmission apparatus, a plurality of transmission requests are generated, while the processing between steps 81 and 86 is performed, i.e., the apparatus waits for a completion verification frame from the destination transmission apparatus, which corresponds to a completely transmitted data frame. In this case, the control microprocessor 24 forms and transmits data frames in response to the transmission requests. In addition, the control microprocessor 24 performs the above-described reception processing in response to a reception request from another transmission apparatus.

Reception processing of a completion verification frame will be described below with reference to FIG. 25. This processing is also executed by the control microprocessor 24.

In step 91, when the transmission/reception circuit 10 receives a completion verification frame, the control microprocessor 24 finds the transmission frame control block TCB1(j) according to transmission identification information included in the reception frame.

In step 92, the control microprocessor 24 reads out the transmission completion timing T2(j), obtained at the time

16

of data frame transmission, from the elapsed time information area of the control block CB1(j) of the transmission frame control block TCB1(j) and further reads out the reception acceptance timing T3(j) included in the completion verification frame. The control microprocessor 24 obtains the difference between the readout data to calculate a transfer time Txf(j) required to transfer the data frame through the common transmission path, and holds it in the transmission reception processing table shown in FIG. 15.

In this case, the control microprocessor 24 compares the current value of transfer time with the maximum and minimum values registered in the past. If the current value is larger than the maximum value, the maximum value is replaced with the current value. If the current value is smaller than the minimum value, the minimum value is replaced with the current value.

In step 93, if the completion verification frame indicates a normal completion state, the control microprocessor 24 reads out the reception processing time Tr(j) included in the completion verification frame and registers it in the transmission/reception processing time table according to the destination transmission apparatus address as an index. In this case, the control microprocessor 24 also compares the current value of reception processing time with the maximum and minimum values registered in the past. If the current value is larger than the maximum value, the maximum value is replaced with the current value. If the current value is smaller than the minimum value, the minimum value is replaced with the current value.

The description of the data transmission method and apparatus according to the first embodiment is completed herein.

Note that in the transmission request interrupt processing shown in FIG. 19, with respect to a transmission request whose margin time Tds(j) is a negative value, the control microprocessor 24 may determine that data transmission cannot be performed at the request timing T0(j), cancel the transmission request, and inform the transmission request source of the determination result.

When a source transmission apparatus is to transmit a data frame, the transmission completion timing T2(j) may be included in the data frame together with the request timing T0(j). Upon reception and verification of the data frame, a destination transmission apparatus may obtain the transfer time Txf(j) by detecting the difference between the transmission completion timing T2(j) and the reception verification timing T3(j). In addition, reception processing is performed by the destination transmission apparatus to calculate the reception processing time Tr(j). The transfer time Txf(j) and the reception processing time Tr(j) may be transmitted to the source transmission apparatus to update the transmission/reception processing table of the source transmission apparatus.

Transmission processing times Tx, reception processing times Tr, and transfer times Txf taken to transfer data to predetermined transmission apparatuses may be held in all the transmission apparatuses according to the transmission apparatus addresses as indexes. When a given transmission apparatus receives a transmission request, the apparatus reads out these time values according to the source transmission apparatus address as an index. The destination transmission apparatus obtains the sum of the transmission processing time of the destination station, the reception processing time of the source transmission apparatus, and the transfer time required to transfer data to the source transmission apparatus. In this manner, a transmission

17

request from a given transmission apparatus is processed by a destination transmission apparatus to calculate a predictive total processing time  $T_a$ . The difference between the predictive total processing time  $T_a$  and the request timing  $T_0$  may be obtained as a margin time  $T_{ds}$ , and priority processing may be performed by determining an urgency on the basis of this margin time  $T_{ds}$ .

A destination transmission apparatus may calculate the reception verification timing  $T_3$  and the sum of the reception timing time  $T_r$ , the transmission processing time  $T_x$ , the transfer time  $T_{xf}$  required to transfer data to a source transmission apparatus, and the reception processing time  $T_r$  of the destination transmission apparatus, which time data are held in the destination station. The apparatus then calculates the difference between the request timing  $T_0$  read out from the data frame to obtain the margin time  $T_{ds}$ . The urgency may be determined on the basis of this margin time  $T_{ds}$  to perform reception processing according to the priority.

A data transmission method and apparatus according to the second embodiment of the present invention will be described next. In this embodiment, the priority sequence data of data transmission of each transmission apparatus is supplied to other transmission apparatuses, and the urgency of each data transmission is determined in the overall system. Thus, the transmission right is assigned to one of the transmission apparatuses on the basis of the urgencies determined in the overall system.

The second embodiment is applied to the same system as that shown in FIG. 7 to which the first embodiment is applied. The arrangement of each of the transmission apparatuses constituting the system is the same as that of the one shown in FIG. 8, but their operations are different from each other.

This system has an MAC function corresponding to the media access control scheme defined by the ISO 88024 (or IEEE 802.4) standard or the ISO 9314 (ANSI X3T9.5) standard. That is, each transmission apparatus which receives a token frame indicating assignment of the transmission right has modes M1 and M2.

In the mode M1, upon reception of the token frame, each apparatus can always transmit a required number of data frames.

In the mode M2, the time taken for one rotation of the token frame is measured by a timer of each transmission apparatus which is designed to measure a token frame rotation time. If the measured value is smaller than a preset time value, the number of data frames corresponding to the difference between the time values (a target token rotation timer residual value  $TRT_1$ ) can be transmitted. If the token rotation time value is larger than the preset value, transmission of a data frame is postponed.

In order to allow a control microprocessor 24 to perform priority transmission right assignment processing, a control data table formed in a transmission/reception control RAM common memory 16, a transmission/reception buffer RAM memory 14, or an MPU RAM memory 28 has the following arrangement.

A data transmission request to each transmission apparatus is constituted by data  $DT_1(j)$  to be transmitted, shown in FIG. 26, and a control block  $CB_1(j)$  shown in FIG. 27. The data  $DT_1(j)$  and the control block  $CB_1(j)$  are stored in the transmission reception buffer RAM memory 14. The control block  $CB_1(j)$  includes information required for transmission control corresponding to the data  $DT_1(j)$ , e.g., a destination address and a control command. Note that in the control

18

block  $CB_1(j)$  information required for the execution of the control scheme of the present invention is added to a control area  $CNT_1(j)$  and an elapsed time information area  $TIM_1(j)$ , as needed. The transmission data  $DT_1(j)$  is stored in one or more chained transmission buffers 14.

The control block  $CB_1(j)$  includes an identifier A1 representing the urgency of the transmission data in the transmission apparatus. This identifier A1 includes a request timing  $T_0(j)$  at which the data  $DT_1(j)$  is to be received by a destination application process. In this case, as the identifier A1 representing the urgency of the data, for example, a timing at which transmission of the data is to be completed in the source transmission apparatus, or a timing at which the data is to be received by the destination transmission apparatus may be used.

Data frame  $D_1(j)$  constituted by the control block  $CB_1(j)$  and the transmission data  $DT_1(j)$  is not limited to any specific arrangement. For the execution of the present invention, however, the information portion of the data frame  $D_1(j)$  includes the identifier A1 and elapsed time information indicating the elapsed time of communication processing. FIG. 28 shows an arrangement of the data frame  $D_1(j)$ . The data frame  $D_1(j)$  is stored in the transmission buffer 14.

FIG. 29 shows an arrangement of a transmission frame control block  $TCB_1(j)$  including a frame control code, header information such as destination and source addresses, which are to be included in the data frame  $D_1(j)$ , and information indicating the location of an information portion. The data included in the transmission frame control block  $TCB_1(j)$  are required to form the data frame  $D_1(j)$ . When a plurality of data frames  $D_1(j)$  are to be transmitted, the transmission chain control area of each transmission frame control block  $TCB_1(j)$  is designed to chain the respective transmission frame control blocks  $TCB_1(j)$  corresponding to the plurality of data frames  $D_1(j)$ . The transmission frame control blocks  $TCB_1(j)$  are stored in the transmission reception control RAM common memory 16.

Transmission requests  $R_1(j)$  corresponding to the data frames  $D_1(j)$  are ordered to be formed into a transmission queue S1 on the basis of values  $T_0(j)$  of the identifiers A1 included in the control blocks  $CB_1(j)$  and representing the urgencies of the data frames. FIG. 30 shows an arrangement of the transmission queue  $R_1(j)$ . FIG. 31 shows an arrangement of the transmission queue S1. In this arrangement, the transmission queue S1 is designed such that the transmission requests  $R_1(j)$  of the transmission apparatus are chained to each other according to their urgencies. The transmission requests  $R_1(j)$  and the reception queue S1 are stored in the transmission/reception buffer RAM memory 14.

An identifier A2 included in the transmission queue S1 indicates the presence of an urgent transmission request of the transmission apparatus. FIGS. 32 and 33 show an arrangement of the identifier A2. FIG. 32 shows an identifier A2 control block  $CB_2$ . FIG. 33 shows an identifier A2 information area buffer. The identifier A2 includes at least the identifier A1 corresponding to the transmission request  $R_1(j)$  having the highest urgency in the transmission queue S1.

A media access request frame F1 including the identifier A2 is not limited to any specific arrangement. FIG. 34 shows an arrangement of the media access request frame F1. The media access request frame F1 may have any kind of arrangement as long as it can be discriminated from the data frame  $D_1(j)$  shown in FIG. 28, the token frame, and other transmission control frames, and its information portion includes the information of the identifier A2. That is, in the

data frame D1(j) shown in FIG. 28, a "frame control" code corresponding to the media access request frame F1 may be set, and the identifier A2 may be included in a "information portion". In the arrangement shown in FIG. 34, identification is performed by the "frame control" code. The media access request frame F1 is stored in the transmission/reception buffer RAM memory 14.

FIG. 35 shows an arrangement of a transmission control block TCB2. The transmission control block TCB2 indicates the locations of a frame control code, header information such as destination and source addresses, and an information portion, which are required to form the media access request frame F1. The transmission control block TCB2 is stored in the transmission reception control RAM common memory 16.

FIG. 36 shows an arrangement of a media A2 included in a media access request frame transmitted from each transmission apparatus and received by each transmission apparatus. The media access request R2(j) corresponds to each of a plurality of media access requests included in the identifiers A2 in the media access request frames F1. The media access requests R2(j) are stored in the transmission/reception buffer RAM memory 14.

FIG. 37 shows an arrangement of a transmission queue S2 in which the media access requests R2(j) are ordered according to their urgencies determined in the overall system. In the transmission queue S2, the media access requests R2(j) from the respective transmission apparatuses are chained to each other. The transmission queue S2 is stored in the transmission/reception buffer RAM memory.

The flow of transmission request control processing performed by the control microprocessor 24 using the above data tables will be described below.

When a host unit connected to the transmission apparatus generates a transmission request to transmit a data frame, the transmission data shown in FIG. 26 and the control block CB1 shown in FIG. 27 are written in the transmission/reception buffer RAM memory 14 through a transmission request interface circuit 18. In addition, a transmission interrupt signal SIG3 is sent to the control microprocessor 24. Subsequently, the control microprocessor 24 starts the flow of processing to be performed when a transmission request from a host unit is received.

In step 110, the control microprocessor 24 forms the transmission frame control block TCB1(j) and the transmission request R1(j) from the control block CB1(j) and the transmission data DT1(j).

In step 120, the control microprocessor 24 compares an identifier A1(T0(j)) included in the control block CB1(j) designated by the transmission request R1(j) with an identifier A1(T0(k)) of a transmission request R1(k) already linked to the transmission queue S1. Thereafter, the control microprocessor 24 rearranges the transmission queue S1 in an order of higher urgencies. That is, the control microprocessor 24 chains the transmission request R1(j) to the transmission queue S1 by using the PRE and NEXT areas of the transmission request R1(j).

In step 130, the transmission frame control block TCB1(j) is chained to a transmission control block TCB1(k) of the already linked transmission request R1(k) in accordance with the order in the transmission queue S1 by using the transmission control block chain control area.

In step 140, the control microprocessor 24 forms the identifier A2 information area buffer shown in FIG. 33. The control microprocessor 24 chains the identifier A2 information area buffer to the identifier information area of the

already linked transmission request R1(k) in accordance with the order in the transmission queue S1 by using the transmission data buffer control area and the transmission data start, intermediate, and end display areas.

When the media access request frame F1 is received, the control microprocessor 24 starts the flow of processing to be performed when the media access request frame F1 shown in FIG. 39 is received.

In step 210, the control microprocessor 24 forms a transmission request indicating an urgency determined from the viewpoint of the overall system, i.e., the media access request R2(j) shown in FIG. 36, on the basis of the information of the identifier A2 included in the media access request frame F1 and source station address indicating the source station.

In step 220, the control microprocessor 24 compares the urgency of the media access request R2(j) with that of a media access request R2(k) already linked to the transmission queue S2 by using the value of the identifier A1=TN. Thereafter, the control microprocessor 24 rearranges the transmission queue S2 in an order of higher urgencies by using the PRE and NEXT areas.

With respect to the transmission queue S2 to which the transmission request R2(k) has already been linked, the control microprocessor 24 starts comparison determination processing from the start position of the transmission queue S2. If information coinciding with a source transmission apparatus address SA is detected in the transmission request R2(k) already linked to the transmission queue S2, the control microprocessor 24 removes the transmission request R2(k) from the transmission queue S2. This processing is limited to comparison determination processing with the first identifier A2 included in the received media access request frame F1. In addition, the control microprocessor 24 compares the identifier A2 with a value Tk representing the urgency of the transmission request R2(k), and rearranges the link structure of transmission queue S2 such that the newly formed transmission request R2(j) is ordered according to its urgency.

In step 230, the control microprocessor 24 compares the transmission queue S2, formed every time the media access request frame F1 is received, with the transmission queue S1 formed in accordance with the transmission requests from the host unit. If the urgency of the transmission request of the station is higher, the control microprocessor 24 links a data frame D1 corresponding to the transmission request having a high urgency to a transmission queue TQ2 corresponding to the mode M2 of the MAC function of a transmission controller 12. That is, the control microprocessor 24 sets the start storage address of the transmission control block TCB1 chain in the transmission queue TQ2.

When the token frame is received, the control microprocessor 24 performs processing in accordance with the flow chart for token frame reception processing shown in FIG. 40.

In step 310, with respect to the data frame D1 linked to the transmission queue TQ2, the control microprocessor 24 reads out the target token rotation timer residual value TRT1 corresponding to the mode M2 of the MCA function from a token rotation timer residual value register 30 when it obtains the transmission right upon reception of the token. Subsequently, the control microprocessor 24 calculates the number of data frames D2 corresponding to the residual time value on the basis of the total transmission data count out of the total number of data frames D1(j) to be transmitted.

The number of data frames D2 (the total number of data frames to be transmitted D1) is the number of data frames D2



21

that can be sent during the residual time value) are supplied to the transmission path through the token passing transmission controller 12 upon reception of the token.

In step 320, the control microprocessor 24 removes the transmission requests R1(j) corresponding to the above-mentioned data frames D1(j) from the transmission queue S1. If a transmission request is left, the control microprocessor 24 writes the storage address of the identifier A2 information area buffer of the transmission request in the identifier A2 start storage pointer value of the identifier A2 control block CB2. In addition, the control microprocessor 24 sets the identifier A2 information area buffer at the start position of the transmission data. If no transmission request R1(j) is left in the transmission queue S1 upon removal of the transmission requests R1(j) from the transmission queue S1, or if no data frame D1(j) is linked to the transmission queue TQ2 at the timing of token reception, the control microprocessor 24 writes the address of the identifier A2 information area corresponding to the absence of a transmission request, as the identifier A2 storage pointer value of the identifier A2 control block CB2, in the identifier A2 start storage pointer value of the identifier A2 control block CB2.

With the above-described processing, the media access request frames F1 corresponding to the number of data frames D2 corresponding to the target token rotation timer residual value TRT1 are sent to the transmission path upon reception of the token.

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details, representative devices, and illustrated examples shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.

What is claimed is:

1. A method of processing data in a transmission device for subsequent transmission of said data to at least one reception device, said transmission device being operatively interconnected to said at least one reception device, said method comprising the steps of:

generating and holding in said transmission device:  
transfer time information indicative of a time required to transfer said data from said transmission device to said at least one reception device, and  
reception timing information of said data corresponding to an amount of time required by said at least one reception device to process a data reception,  
said transfer time information and said reception timing information being derived on the basis of timing information of previous communications operations between said transmission device and said at least one reception device;

arranging a group of transmission requests for a plurality of data in said transmission device, in response to a transmission request for data in said transmission device, on the basis of a difference between a request timing at which said data is required by said at least one reception device and a sum of:

- 1) said reception timing information, held in said transmission device,
- 2) said transfer timing information, held in said transmission device, and
- 3) a present time,

thereby determining a transmission sequence;

transmitting data from said transmission device to said at least one reception device in accordance with said determined transmission sequence; and

22

transferring data which has been transmitted.

2. A method according to claim 1, further comprising the steps of:

causing said at least one reception device which has received data from said transmission device to subtract a timing from said request timing to obtain a timing difference and to arrange reception requests of said plurality of data in said at least one reception device on the basis of said timing difference, thereby determining a reception sequence and obtaining a determined reception sequence; and

transferring said data to an application process at said at least one reception device on said basis of said determined reception sequence.

3. A method as in claim 1, further comprising:

generating and holding in said transmission device data transmission timing information corresponding to an amount of time required by said transmission device to process a data transmission, and

wherein said step of arranging bases its arranging on a difference between the request timing at which the data is required by said at least one reception device and a sum of:

- 1) said reception timing information, held in said transmission device,
- 2) said transfer timing information, held in said transmission device,
- 3) a present time, and
- 4) said transmission timing information, held in said transmission device.

4. A method of transmitting data from a communication device to at least one reception device, and of receiving data from at least one transmitting device at said communication device, each of said communication device, said at least one transmitting device and said at least one reception device being operatively interconnected and each of said communication device, said at least one transmitting device and said at least one reception device being associated with at least one of a plurality of computers, said method comprising the steps of, on said communication device:

generating, by at least one of said computers, data transmission requests for associated data and providing said transmission requests to said communication device, said associated data being needed by other of said computers associated with said at least one reception device;

determining a transmission order in which said data associated with said transmission requests must be sent from said communication device so as to be received by said at least one reception device when needed by said other of said computers associated with said at least one reception device;

arranging said transmission requests according to said transmission order to obtain arranged transmission requests; and

transmitting data associated with said transmission requests, in a sending order based on said arranged transmission requests, from said communication device to said at least one reception device;

determining a reception order in which data associated with reception requests received from said at least one transmission device must be processed by said communication device so as to be available when needed by said at least one of said computers associated with said communication device;

arranging said reception requests according to said reception order;

processing said reception requests in said reception order so that said at least one of said computers associated with said communication device receives data associated with said reception requests from said at least one transmission device.

5. A method according to claim 4, wherein each of said order determining steps includes the step of utilizing the time at which data is needed to determine said order.

6. A method according to claim 4, wherein each of said order determining steps includes the step of utilizing a period until data is needed to determine said order.

7. A method of transmitting data from one station in a plurality of stations to another station in said plurality of stations, said transmitting being in response to a priority given to said data in said one station, said plurality of stations being operatively interconnected and each of said plurality of stations having an own communication device associated therewith, said method comprising the steps of:

comparing, in an own communication device associated with said one station, said priority of said data in said one station with a priority given to data in other stations of said plurality of stations; and

transmitting said data in said one station when the priority of said data in said one station is higher than the priority of said data in said other stations.

8. A method according to claim 7, wherein said priority is determined based on an urgency of said data.

9. A method of transmitting data from one communication device of a plurality of communication devices arranged in a network, each of said devices having a first transmission queue, said method comprising the steps of:

causing each of said communication devices to transmit to said one communication device transmission requests associated with said first transmission queue of each of said communication devices, each first transmission queue being obtained by arranging transmission requests of a corresponding one of said communication devices in an order in which data associated with said transmission requests must be sent by said corresponding one of said communication devices so as to be received by other of said communication devices when needed;

forming a second transmission queue in said one communication device by accumulating transmission requests associated with said first transmission queues transmitted from said communication devices and arranging said accumulated transmission requests in an order in which data associated with said transmission requests must be sent by said corresponding one of said communication devices so as to be received by said other of said communication devices when needed by said other of said communication devices; and

comparing a transmission request associated with data to be sent next in the first transmission queue of said one communication device with said transmission requests accumulated in said second transmission queue in said one communication device, when said one communication device receives a token, and transmitting data associated with said transmission request, said data to be sent next according to said first transmission queue of said one communication device, to another communication device when said data associated with said transmission request must be sent before other data associated with a corresponding transmission request in said second transmission queue, said other data to be sent next according to said second transmission queue.

10. A data transmission method for transmitting data from one communication device of a plurality of operatively interconnected communication devices, each of said communication devices being associated with at least one of a plurality of computers, said method comprising the steps of:

on each of said communication devices,

receiving, from at least one of said computers associated with said communication device, transmission requests to transmit data from said communication device to at least one other of said communication devices within a predetermined period of time, wherein each of said transmission requests includes transmission timing indicating said predetermined period of time; and

forming a transmission queue of said transmission requests according to when data associated with said transmission requests must be sent by said communication device so as to be received by said at least one other of said communication devices when needed by computers associated with said at least one other of said communication devices, thereby determining a next transmission request to be processed by said communication device; and

on said one communication device,

comparing the transmission timing of said next transmission request of said one communication device with each of the transmission timings of next transmission requests of each other of said plurality of communication devices; and

transmitting data associated with said next transmission request of said one communication device if it is determined on the basis of said comparing step that data associated with said next transmission request of said one communication device must be sent before data associated with each of said next transmission requests of said other communication devices.

11. A method according to claim 10, further comprising the steps of:

collecting reception requests received from at least one other of said communication devices by said one communication device in a reception queue;

organizing said reception requests for said one communication device in an order in which data associated with said reception requests must be processed so as to be available when needed by said at least one of said computers associated with said one communication device; and

processing, in said one communication device, data associated with said reception requests in said order.

12. A communication device operatively interconnected with at least one other communication device, each of said communication devices being associated with at least one of a plurality of computers, said communication device comprising:

means for determining a sending order in which data associated with transmission requests made of said communication device by at least one of said computers associated with said communication device must be sent to said at least one other communication device so as to be received by said at least one other communication device when needed by said at least one of said computers associated with said at least one other communication devices;

means for arranging said transmission requests according to said sending order, and for transmitting data associated with said transmission requests as arranged;



## 25

means for determining a reception order in which data associated with reception requests received by said communication device must be processed so that said data is available when needed by said at least one of said computers associated with said communication device; and

means for arranging said reception requests according to said reception order and for performing reception processing on said reception requests as arranged.

13. A device according to claim 12, wherein each of said determining means utilizes an absolute time at which data is needed to determine said order.

14. A device according to claim 12, wherein each of said determining means utilizes the time period until data is needed to determine said order.

15. A device for transmitting data from one station of a plurality of stations to another station in said plurality of stations in response to a priority given to said data in said one station, said plurality of stations being operatively interconnected and each of said plurality of stations having an own communication device associated therewith, said device comprising:

means, in an own communication device associated with said one station, for comparing said priority of said data in said one station with priorities given to data in others of said stations; and

means for transmitting said data in said one station when the priority of said data in said one station is higher than the priorities of said data in each others of said stations.

16. A device according to claim 15, wherein said priority is determined based on an urgency of said data.

17. A device for transmitting data from one station of a plurality of stations to at least one other of said plurality of stations, said plurality of stations being operatively interconnected, each of said stations being associated with at least one of a plurality of computers, said device comprising:

transmission stack means for transmitting data from said one station to said at least one other of said stations and for receiving a plurality of transmission requests from at least one of said computers associated with said one station to transmit data from said one station to said at least one other of said stations, each of said transmission requests including time information indicating when data associated with the request is needed by said at least one of said computers associated with said at least one other of said stations;

means for forming a transmission queue in said transmission stack means in an order in which data associated with said transmission requests must be sent by said one station so as to be received by said at least one other of said stations when needed by said at least one of said computers associated with said at least one other of said stations;

means for providing each of said stations with the times associated with next transmission requests of each other of said stations;

comparison means for comparing the time associated with a next transmission request of said one station in said transmission queue with times associated with the next transmission requests of others of said stations; and

means for transmitting data associated with said next transmission request of said one station when said comparison means determines that said next transmission request of said one station must be processed before each of said next transmission requests of said other stations.

## 26

18. A device according to claim 17, further comprising: reception stack means, having a reception queue, for receiving reception requests from said other stations to process received data;

means for arranging said reception queue in an order in which data associated with said reception requests must be processed by said device so as to be available when needed by said at least one computer associated with said one station; and

means for processing data associated with said reception requests as arranged by said arranging means.

19. A plurality of communication devices arranged in a network, each of said communication devices comprising:

timer means for measuring a present time common to said plurality of communication devices;

means for obtaining:

data transfer timing information indicative of a time taken to transfer data from a corresponding communication device to others of said plurality of communication devices, and

data reception timing information of each of said other communication devices, corresponding to an amount of time required by said other devices to process a data transmission received from said corresponding communication device, said data transfer timing information and said data reception timing information being derived on the basis of timing information of past communication performed by said plurality of communication devices;

memory means for holding said obtained data transfer and data reception timing information;

transmission processing means for arranging a plurality of transmission requests in a transmission sequence, the transmission requests being associated with respective data to be transmitted by said corresponding communication device to others of said plurality of communication devices on the basis of timing differences, said timing differences determined by said transmission processing means by obtaining a sum of said reception processing and transfer timing information stored in said memory means and said present time obtained from said timer means and subtracting from said sum a request time at which data is required by said other communication devices; and

transmission control means for passing a token between each of said communication devices and, when each one of said communication devices receives said token, for transferring specific data from said each one of said communication devices to others of said plurality of communication devices according to said transmission request sequence arranged by said transmission processing means.

20. A plurality of communication devices according to claim 19, wherein each of said communication devices further comprises:

means for receiving a plurality of data transmitted from said other communication devices, subtracting, for each of said data, another current time from another request time at which said communication device needs said data to obtain a difference therebetween, for determining a sequence of reception requests received from others of said communication devices, said reception requests to be processed by arranging reception processing requests of said plurality of data in accordance with said difference for each of said data, and for performing reception processing according to said

27

determined reception processing sequence, each said reception request including timing information indicative of when data associated with said reception request is needed by the communication device.

21. A plurality of communication devices arranged in a network, each of said communication devices comprising:

means for forming a first transmission queue by arranging transmission requests of a corresponding one of said devices in an order in which data associated with said transmission requests must be sent by said corresponding device so as to be received by at least one other of said devices when needed by said at least one other of said devices;

means for transmitting said first transmission queue to others of said communication devices;

means for accumulating first transmission queues transmitted from said others of said communication devices, and for arranging said accumulated first transmission queues in an order in which data associated with said queues must be sent by said devices so as to be received by others of said devices when needed by said others of said devices, so as to form a second transmission queue; and

means for comparing a next transmission request in said first transmission queue of said corresponding communication device with other transmission requests in said second transmission queue in said corresponding communication device when a token is received by said corresponding communication device, and for transferring data corresponding to said next transmission request when said next transmission request is also the transmission request to be processed next in said second transmission queue.

22. A plurality of communication devices arranged in a network, each communication device of said communication devices comprising:

timer means for measuring and for managing a current time common to said plurality of communication devices;

means for obtaining a data transfer timing information indicative of a time taken to transfer data from said communication device to others of said communication devices and data reception processing timing information indicative of a time each of said others of said communication devices takes to process received data on the basis of past communication from said communication device;

memory means for holding said obtained data transfer and data reception timing information;

transmission processing means for obtaining an arranged transmission request sequence from a plurality of transmission requests made to said communication device, said sequence obtained by subtracting, for each of said plurality of transmission requests, a sum of said data reception and said data transfer timing information stored in said memory means and a present time obtained by said timer means from a request timing at which data associated with each of said plurality of transmission requests is required by another of said communication devices to which said data is to be sent to obtain each difference, and arranging a transmission request sequence of a plurality of data to be transmitted on the basis of the differences;

means for obtaining transmission requests from all of said other communication devices;

means for forming a transmission queue by arranging said transmission requests of all of said other communica-

28

tion devices in an order in which data associated with said transmission requests must be sent so as to be received when needed; and

means for passing a token between said communication devices, and, when having said token, for comparing a next transmission request in said arranged transmission request sequence of said communication device with said transmission queue, and, when said next transmission request of said communication device must be sent before a next transmission request in said transmission queue, transferring data corresponding to said next transmission request of said communication device.

23. A plurality of communication devices according to claim 22, wherein each of said communication devices further comprises means for receiving a plurality of data transmitted from said other communication devices, subtracting, for each of said data, another current time from another request time at which said communication device needs said data to obtain a difference therebetween, for determining a sequence of reception requests received from others of said communication devices, said reception requests to be processed by arranging reception processing requests of said plurality of data in accordance with said difference for each of said data, and for performing reception processing according to said determined reception processing sequence, each said reception request including timing information indicative of when data associated with said reception request is needed by the communication device.

24. A method of transmitting data from a transmission device to at least one reception device, said transmission device and said at least one reception device being operatively interconnected and each of said transmission device and said at least one reception device being associated with at least one of a plurality of computers, said method comprising the steps of, using said transmission device:

generating by at least one of said computers data transmission requests for associated transmission data and providing said transmission requests to said transmission device, said associated transmission data including data needed by other of said computers associated with said at least one reception device;

determining an order in which said transmission requests must be processed by said transmission device so that data associated with said transmission requests will be available at said at least one reception device when needed by said other of said computers associated with said at least one reception device;

rearranging said transmission requests according to said order determined by said determining step; and

processing said transmission requests as rearranged in said rearranging step to transmit data associated with said transmission requests from said transmission device to said at least one reception device.

25. A method according to claim 24, wherein said order determining step includes the step of utilizing the times at which data is needed to determine said order.

26. A method according to claim 24, wherein said order determining step includes the step of utilizing a length of a time period from a present time until said data is needed to determine said order.

27. A method of receiving data at a reception device from at least one transmission device operatively interconnected to said reception device, each of said at least one transmission device and said reception device being associated with at least one of a plurality of computers, said method comprising the steps of, using said reception device:

29

determining an order in which reception requests received from said at least one transmission device must be processed by said reception device so that data associated with said reception requests will be available when needed by at least one of said computers associated with said reception device;

rearranging said reception requests according to said order determined by said determining step; and

processing said reception requests as rearranged in said rearranging step so that said at least one of said computers associated with said reception device receives data associated with said reception requests.

28. A method according to claim 27, wherein said order determining step includes said step of utilizing times at which data is needed to determine said order.

29. A method according to claim 27, wherein said order determining step includes the step of utilizing a length of a time period from a present time until said data is needed to determine said order.

30. A data transmission device operatively interconnected with at least one data reception device, each of said data transmission device and said at least one data reception device being associated with at least one of a plurality of computers, wherein said plurality of computers associated with said data transmission device make data transmission requests of said data transmission device, each of said data transmission requests having data associated therewith, said data transmission device comprising:

memory means for holding data transmission information associated with each of said data transmission requests, said data transmission information including timing information regarding when said data associated with said corresponding transmission request is needed by at least one of said computers associated with said at least one data reception device;

means, connected to said memory means, for determining, based on said timing information, a processing order in which said transmission requests in said memory means must be processed; and

means for arranging said data transmission requests in said memory means according to said processing order, for determining a processing sequence in which to process said transmission requests, based on said

30

arranged data transmission requests, and for transmitting data associated with said transmission requests.

31. A device according to claim 30, wherein said determining means utilizes a time at which data is needed by a requesting communication device to determine said processing order.

32. A device according to claim 30, wherein said determining means utilizes a length of a time period for a preset time until data is needed by a requesting communication device to determine said processing order.

33. A data reception device operatively interconnected with at least one data transmission device, each of said data transmission device and said at least one data reception device being associated with at least one of a plurality of computers, said data reception device comprising:

memory means for holding data reception information associated with a plurality of data reception requests received by said data reception device from said at least one transmission device, said reception information including timing information regarding when data associated with said plurality of data reception requests in said memory means must be processed by said data reception device so as to be available when needed by at least one of said computers associated with said data reception device;

means, connected to said memory means, for determining a processing order of said reception requests based on said timing information; and

means for arranging said data reception requests in said memory means according to said processing order, for determining a processing sequence in which to process said reception requests, based on said arranged data reception requests, and for receiving data associated with said reception requests.

34. A device according to claim 33, wherein said determining means utilizes a time at which data is needed by a requesting communication device to determine said processing order.

35. A device according to claim 33, wherein said determining means utilizes a length of a time period for a preset time until data is needed by a requesting communication device to determine said processing order.

\* \* \* \* \*